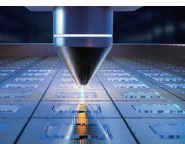
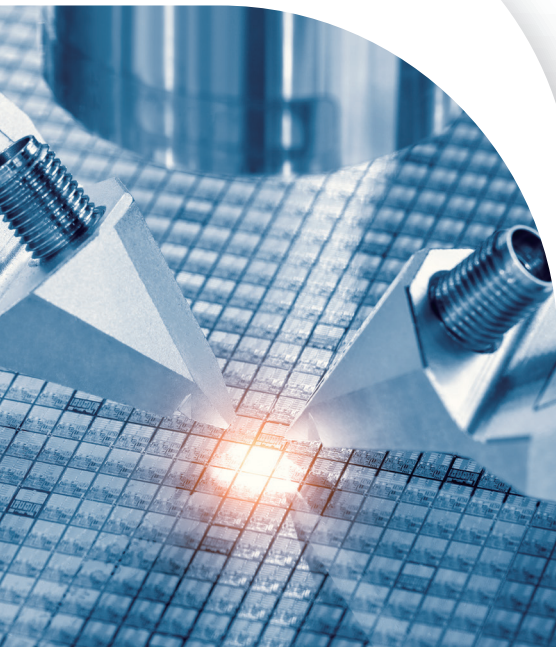


# 2024 半導體製程及 設計技術 系列課程



2024

半導體製程技術  
課程介紹



## 學界半導體製程課程修課注意事項：

### 使用無塵室製程機台之修課條件

( 儀器設備列表 :TSRI 官網 / 製程服務 )

- 修習通過 SM01(P.10)+SM01-1 (P.14)
- 或，半抵免課程 + 修習通過 SM01-1 (P.14)
- 或，全抵免課程

### 使用材料儀器設備之修課條件

( 儀器設備列表 :TSRI 官網 / 量測服務 - 材料分析 )

- 修習通過 NM01 (P.19)
- NM02 (P.23) ( 碩班同學修習通過 NM01+NM02，可使用 B3 等級設備 )

### 使用高頻儀器設備之修課條件

( 儀器設備列表 :TSRI 官網 / 量測服務 - 高頻量測 & 奈米與功率元件量測 )

- 修習通過 HF01 (P.26)

### 使用電性量測儀器設備之修課條件

( 儀器設備列表 :TSRI 官網 / 量測服務 - 奈米與功率元件量測 )

- 修習通過”使用無塵室製程機台”資格或修習通過 HF01

## 其它專業課程

SM02 前瞻 CMOS

半導體材料暨記憶體整合技術 (P.12)

TCAD 系列課程 (P.28)

物聯網感測器元件實作 (P.31)

2.5D/3D 元件整合封裝製程實作班 (P.32)

CMOS 生醫感測微流道晶片導論與實作班 (P.34)

先進鰭式電晶體技術 (P.35)

單晶片堆疊式 3 D 元件製程技術見習與實作 (P.36)

鍺垂直堆疊奈米片通道

電晶體製程技術見習與實作 (P.38)

## 半導體製程課程報名

### 1. 報名方式：一律採網路報名。

### 2. 報名流程及其注意事項：

- ① 先於「**會員服務平台**」完成註冊。
- ② 進入會員服務平台「教育訓練」→「教育訓練課程公告」網頁進行選課報名作業。
- ③ 報名成功後，請於規定期限內完成 ATM 繳費（銀行代碼 017）或親臨兆豐國際商業銀行櫃檯繳費（繳款代號 8081），繳費成功後即完成報名作業。  
**逾期繳費者將不另行通知，逕行取消其報名訂單。**
- ④ 繳款截止日後未繳款的訂單進行刪單處理，有剩餘或釋出的名額，可供有需求的學員報名，唯報名後需**立即繳費。報名截止日後恕不再接受報名。**
- ⑤ 取消報名規定：於開課前 7 天內（含假日）取消報名者概不退費，其餘酌收 1/4 報名費為行政處理費。課程欲取消請 mail 告知。

### 3. 上課地點

**新竹班**：新竹市科學園區展業一路 26 號

**台南基地班**：台南市小東路 25 號 成功大學力行校區  
TSRI 台南基地

#### 4. 注意事項：

JDP 學員報名後請留意，應繳款金額是否為零，若有疑問請洽 JDP 負責人員。

#### 聯絡窗口

##### 新竹 簡秀芳小姐

電話：(03)5773693#7656

電子信箱：jill\_chien@narlabs.org.tw

地址：30078 新竹市科學園區展業一路 26 號

台灣半導體研究中心 (TSRI)

##### 台南 周玲如小姐

電話：(06)2090160#6632

電子信箱：ljchou@narlabs.org.tw

地址：70101 台南市北區小東路 25 號



製程課程報名

### 為顧及您的權益，請注意下列事項

- 1. 招生對象資格：**各大學理工科系碩、博士班研究生、大四在學學生及有興趣之業界相關人士。
- 2. 完成 SM01 課程 ( 或有其抵免課程 ) 才可修習 SM01-1。**為方便學員修課安排，本中心**可接受線上同時報名**「SM01 半導體製程技術訓練班」、「SM01-1 半導體製程設備見習班」，唯學員若未通過訓練班測驗，則已繳交之見習班報名費概不退還，請慎思是否要同時報名。
- 3. 抵免課程：**
  - ① 免修 SM01 及 SM01-1 課程之規定：修習過相關課程（且須滿 24 小時）者，可直接申請參加製程技術機台儀器訓練，而無需參加「SM01」及「SM01-1」課程。
  - ② 免修 SM01 課程之規定：修習過相關課程者，可免上本中心「SM01」，直接報名參加「SM01-1」。已抵免課程報名 SM01-1 課程者，請於「SM01-1」上課報到時，附上「抵免 SM01」課程之證書影本或相關抵免成績單影本以為證明。

抵免課程查詢：<https://cs.tsri.narl.org.tw/NDLCS/NDLInfo/TraingClassInfor.aspx>



#### 4. 影片課程之課程資料採郵寄方式：

請注意報名截止日及繳款期限。報名系統資料務必正確，繳款期限過後不接受修改。郵寄地址以系統資料為主，課程資料若郵寄失敗／退回，再次郵寄請自付宅配運費。

\*\* 報名系統內個人基本資料務必正確。中／英文姓名格式（證書使用）：王大中 Last Name：WANG，First Name：DA-CHUNG

#### 5. 發證標準：

結訓成績達 60 分 ( 含 ) 以上且出席率達 80% 以上 ( 每日 08：30-10：00；13：00-14：30 固定簽到，逾時不予補簽 )，發給結訓證書。

#### 6. 颱風天停課相關規定：

- ① 颱風天停課標準：依當日課程上課所在地之縣市政府公告為準，若宣佈停止上課則該課程停開。
- ② 停開課程處理措施：如因上項停課，本中心確認調課時間事宜後，再行 mail 通知上課學員。

### SM01 半導體製程技術訓練班

本課程採用『半導體製程技術導論』蕭宏著，羅正忠、張鼎張譯，全華科技圖書(股)公司出版。若學員需課前預習，課程講師提供教學投影片檔案放置於教育訓練網頁中供報名且完成繳費之上課學員自行下載使用(版權所有，嚴禁重製，以免觸法)。

#### 課表 (新竹班)

	09 : 00 ~ 12 : 00	13 : 30 ~ 16 : 30
MON	積體電路製造與半導體元件 第 1-3 章	微影技術 第 6 章
TUE	離子佈植與電漿 第 7-8 章	蝕刻技術 第 9 章
WED	化學氣相沉積 第 10 章	金屬化製程 第 11-12 章
THU	晶圓磊晶	CMOS 製程
FRI	連續製程 Runcard 及系統介紹	測驗及結業

※ 本課程新竹班、台南班課程不同：請同學詳讀上列課表以決定參加之地區。

## 課表 ( 台南班 )

	09 : 00 ~ 12 : 00	13 : 30 ~ 16 : 30
MON	積體電路製造與半導體元件	晶圓製造與磊晶
TUE	微影技術	離子佈植與電漿
WED	蝕刻技術	化學氣相沉積
THU	金屬化製程	電子構裝技術
FRI	連續製程 Runcard 及系統介紹	測驗及結業

兩區結訓後具同等資格，皆可申請製程技術機台或電性量測機台。

### SM02 前瞻 CMOS 半導體材料暨 記憶體整合技術

#### 前瞻 CMOS 與記憶體製程整合

非揮發性記憶體為半導體關鍵元件之一，本課程將介紹台灣半導體中心 (TSRI) 的平台所提供的記憶體技術，包含電阻式記憶體 (resistive switching memory, RRAM)、鐵電記憶體 (Ferroelectric RAM ; FeRAM) 與自旋轉移力矩式記憶體 (STT-MRAM)。我們將對發展現況與技術概念進行重點簡介，並針對記憶體所需要的整合技術與設備進行介紹。

#### 氮化鎵高功率半導體技術

為因應未來半導體製程應用於功率元件領域的發展趨勢，本課程將著重於下世代氮化鎵功率半導體製程技術與近年電子電力系統領域之應用與發展，協助銜接半導體元件之基礎學理與製程實作，建立完整的功率元件半導體知識架構。

課表 ( 新竹 )

	09 : 00 ~ 12 : 00	13 : 30 ~ 16 : 30
第一天	前瞻 CMOS 與記憶體製程整合 (1)	前瞻 CMOS 與記憶體製程整合 (2)
第二天	GaN power/ RF 元件與製程整合 (1)	GaN power/ RF 元件與製程整合 (2)
		測驗 15:45-16:15 及結業 ( 約 17:00)



### SM01-1 半導體製程設備見習班 【新竹班】

SM01-1 半導體製程設備見習班—新竹班及台南班因無塵室之設備機台種類不同，而提供學員不同的見習環境。請同學詳讀上列見習課程項目以決定參加之見習班別。兩班結訓後具等同資格，皆可申請製程技術機台或電性量測儀器使用。

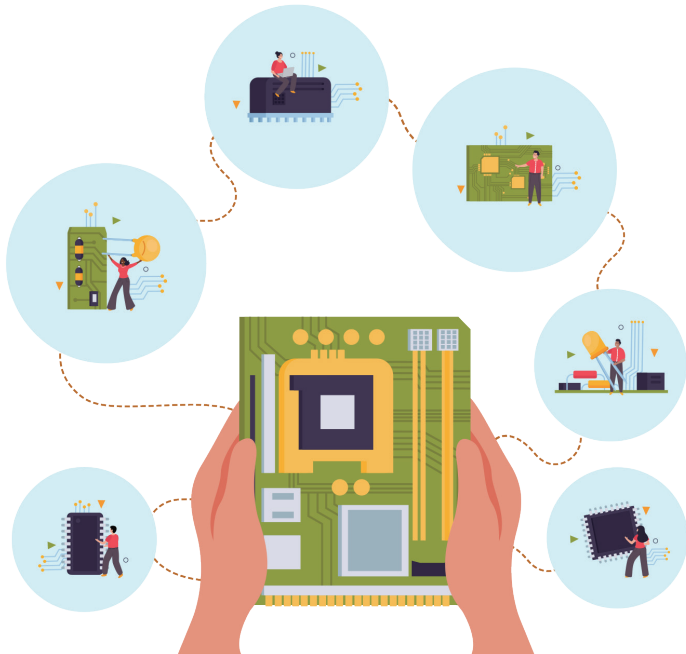
新竹見習班	第一天			
08:00-08:30	報到			
08:30-09:30	簡介 (ABCD)			
09:30-10:30	微影技術 (一)(A)	微影技術 (二)(B)	廠務 (CD)	
10:30-11:30	微影技術 (二)(A)	微影技術 (一)(B)	廠務 (CD)	
11:30-13:00	午休			
13:00-14:00	雷射製程 (A)	CMP 製程 (B)	氧化擴散 (C)	濕式清潔 (D)
14:00-15:00	CMP 製程 (A)	雷射製程 (B)	濕式清潔 (C)	氧化擴散 (D)

15:00-16:00	乾式蝕刻 (A)	CVD 製程 (B)	Implanter (C)	PVD 製程 (D)
16:00-17:00	CVD 製程 (A)	乾式蝕刻 (B)	PVD 製程 (C)	Implanter (D)

新竹見習班	第二天			
08:00-08:30	8:20 集合			
08:30-09:30	廠務 (AB)		雷射製程 (C)	CMP 製程 (D)
09:30-10:30	廠務 (AB)		CMP 製程 (C)	雷射製程 (D)
10:30-11:30	Implanter (A)	PVD 製程 (B)	乾式蝕刻 (C)	CVD 製程 (D)
11:30-13:00	午休			
13:00-14:00	PVD 製程 (A)	Implanter (B)	CVD 製程 (C)	乾式蝕刻 (D)
14:00-15:00	氧化擴散 (A)	濕式清潔 (B)	微影技術 (一)(C)	微影技術 (二)(D)
15:00-16:00	濕式清潔 (A)	氧化擴散 (B)	微影技術 (二)(C)	微影技術 (一)(D)
16:00-17:00	測驗及結業 (ABCD)			

### SM01-1 半導體製程設備見習班 【台南班】

SM01-1 半導體製程設備見習班—新竹班及台南班因無塵室之設備機台種類不同，而提供學員不同的見習環境。請同學詳讀上列見習課程項目以決定參加之見習班別。兩班結訓後具等同資格，皆可申請製程技術機台或電性量測儀器使用。





台南見習班	第一天			
08:00-08:30	報到			
08:30-09:30	簡介 (ABCD)			
09:30-10:30	晶圓接合 & 晶粒接 合製程 (A)	濺鍍製程 (B)	電子槍蒸 鍍製程 (C)	乾式蝕刻 (D)
10:30-11:30	晶圓薄化 &CMP 製程 (A)	晶圓接合 & 晶粒接 合製程 (B)	廠務 (C)	電子槍蒸 鍍製程 (D)
11:30-13:00	午休			
13:00-14:00	原子層沈 積製程 (A)	晶圓薄化 &CMP 製程 (B)	光罩對準 曝光 & 自 動化塗佈 (C)	廠務 (D)
14:00-15:00	濺鍍製程 (A)	原子層沉 積製程 (B)	電子束微 影製程 (C)	光罩對準 曝光 & 自 動化塗佈 (D)
15:00-16:00	濕式清洗 & 蝕刻 (A)	雷射去接 合製程 (B)	乾式蝕刻 (C)	CVD 製程 (D)
16:00-17:00	雷射去接 合製程 (A)	濕式清洗 & 蝕刻 (B)	CVD 製程 (C)	電子束微 影製程 (D)

台南見習班	第二天			
08:00-08:30	8:20 集合			
08:30-09:30	電子束微影製程 (A)	CVD 製程 (B)	濕式清洗 & 蝕刻 (C)	雷射去接合製程 (D)
09:30-10:30	CVD 製程 (A)	電子束微影製程 (B)	雷射去接合製程 (C)	濕式清洗 & 蝕刻 (D)
10:30-11:30	光罩對準曝光 & 自動化塗佈 (A)	廠務 (B)	原子層沉積製程 (C)	晶圓薄化 & CMP 製程 (D)
11:30-13:00	午休			
13:00-14:00	廠務 (A)	光罩對準曝光 & 自動化塗佈 (B)	晶圓薄化 & CMP 製程 (C)	原子層沉積製程 (D)
14:00-15:00	電子槍蒸鍍製程 (A)	乾式蝕刻 (B)	晶圓接合 & 晶粒接合製程 (C)	濺鍍製程 (D)
15:00-16:00	乾式蝕刻 (A)	電子槍蒸鍍製程 (B)	濺鍍製程 (C)	晶圓接合 & 晶粒接合製程 (D)
16:00-17:00	測驗及結業 (ABCD)			

## NM01 半導體材料分析技術與見習班

本課程主要分訓練班與見習班兩部分，訓練班(17小時)主要介紹材料分析技術特性原理及應用；見習班(8小時)將介紹各儀器設備軟硬體配備、操作見習與常見分析所遇的問題。課程內容涵蓋繞射分析技術、掃描分析技術、表面化學分析技術，所論及的儀器設備範圍廣泛，包括穿透式電子顯微鏡、掃描式電子顯微鏡、歐傑電子顯微鏡、X光光電子能譜儀、X光繞射儀、二次離子質譜儀、掃描探針顯微鏡、奈米壓痕、微分霍爾量測、紅外線光譜儀及拉曼光譜儀，此外亦包含試片製作技術。

DATE	Day 1
09:00 ~ 11:00	導論【Introduction】+ 奈米壓痕【Nanoindenter】 + 微分霍爾量測【Differential Hall Effect Metrology】+ 掃描式電子顯微鏡【Scanning Electron Microscopy】
11:00 ~ 12:00	
12:00 ~ 13:30	午 休
13:30 ~ 15:30	掃描探針顯微鏡 【Scanning Probe Microscopy】
15:30 ~ 16:30	

DATE	Day 2
09:00 ~ 11:00	穿透式電子顯微鏡 【Transmission Electron Microscope】
11:00 ~ 12:00	
12:00 ~ 13:30	午 休
13:30 ~ 15:30	X 光繞射儀 【X-ray Diffractometer】
15:30 ~ 16:30	

DATE	Day 3
09:00 ~ 11:00	紅外線光譜分析 【Fourier Transform Infrared spectroscopy】+ 拉曼光譜分析 【Raman spectroscopy】
11:00 ~ 12:00	二次離子質譜儀 【Secondary Ion Mass Spectrometer】
12:00 ~ 13:30	午休
13:30 ~ 15:30	X 光電子能譜儀【X-ray Photoelectron Microscopy】+ 歐傑電子顯微鏡 【Auger Electron Spectroscopy】



DATE	Day 4	
	Group 1	Group 2
9:00 ~ 10:00	TEM	AFM
10:00 ~ 10:30	DHEM	SIMS
10:30 ~ 11:00	XRD	XPS+AES
11:00 ~ 12:00	SEM + Nanoindenter	FTIR + Raman
12:00 ~ 13:00	午休	
13:00 ~ 14:00	AFM	TEM
14:00 ~ 14:30	SIMS	DHEM
14:30 ~ 15:00	XPS+AES	XRD
15:00 ~ 16:00	FTIR + Raman	SEM + Nanoindenter
16:00 ~ 16:30	Exam	
16:30 ~ 17:30	測驗及結業	

## NM02 半導體材料分析高階實務班

半導體元件及相關材料物性檢測工具格外地重要，如何透過材料分析工具進行鑑定將影響元件及材料特性，本高階實務材料分析班將實際帶領學員如何利用分析儀器進行分析工作，儀器設備包括穿透式電子顯微鏡、掃描探針顯微鏡、X 光光電子能譜儀、X 光繞射儀、紅外線光譜儀及拉曼光譜儀，本課程設計期能滿足學員實際進行材料分析所面臨問題之需求，將培養奈米材料分析領域人才。

註：

1. 內容如有修正，請以現場課表為主。
2. 此課程為進階課程，建議先修過『NM01 半導體材料分析技術與見習班』者佳。
3. 碩士班同學通過『NM02 高階實材料分析班』及『NM01 半導體材料分析技術與見習班』課程後，將可以使用材料分析組 B3 等級設備。
4. B3 等級設備：NM-006 場發射穿透式電子顯微鏡、NM-017 多模式原子力顯微鏡、NM-019 奈米壓痕 (Nanoindenter) 、NM-020 顯微拉曼光譜儀 (Micro-Raman)

### 課表

DATE	Day 1
9:00 ~ 11:00	<ol style="list-style-type: none"> <li>1. 導論</li> <li>2. 穿透式電子顯微鏡：繞射圖 (SADP) 分析及未知相鑑定</li> </ol>
11:00 ~ 12:00	紅外線光譜 <ol style="list-style-type: none"> <li>1. 衰減全反射 (ATR) 量測</li> <li>2. 資料庫搜尋</li> </ol>
午休	
13:30 ~ 14:30	拉曼光譜 <ol style="list-style-type: none"> <li>1. 拉曼測繪 (Mapping) 分析</li> <li>2. 資料庫搜尋</li> </ol>
14:30 ~ 16:30	掃描探針顯微鏡 <ol style="list-style-type: none"> <li>1. 掃描電容 / 電流顯微鏡之光擾效應與原理</li> <li>2. 掃描電容圖譜 (SCS) 於矽基元件分析之應用</li> <li>3. 掃描電容顯微鏡之截面樣品製備技術 (矽基材料)</li> <li>4. 掃描電容顯微鏡之調制效率模型</li> <li>5. 定量等效物理厚度分析</li> </ol>



DATE	Day 2
9:00 ~ 11:00	穿透式電子顯微鏡 1. 高解析晶格影像之分析與過濾處理 (TEM 軟體示範)
11:00 ~ 12:00	2. 高角度暗場之原子序對比影像技術 3. 奈米材料之電子激發行爲 ( 原子尺度下之化學鍵結分析 )
<b>午休</b>	
13:30 ~ 14:30	X 光繞射儀 1. Rocking curve 磊晶分析 2. 倒置晶格空間 RSM 磊晶分析及軟體使用示範 3. XRR 干涉條紋厚度計算及軟體模擬示範
14:30 ~ 16:30	X 光電子能譜儀 1. 試片校正 (Calibration) 與分峰擬合 (Fitting) 要點。 2. 材料功函數 (Work Function)、能隙 (Band Gap) 量測技術。 3. 能帶偏移 (Band Offset) 量測技術。

## HF01 高頻量測技術與見習班

三天的課程將使學員了解高頻元件特性分析與模型化技術所需之知識與技能，課中並將介紹高頻電路量測基本原理與環境，最後並以 DC, Flicker Noise, S-parameter, RFIC, Noise and Power 量測之見習增進學員對於相關技術之瞭解。

第一天		
09:00-10:00	Introduction to High-Frequency Technology Center	
10:00-12:00	Introduction to Wireless Communication Systems	
午休		
13:00-14:00	設備見習 (小班教學) * 註一	* 註二
14:00-16:00	High Frequency Device Modeling.	

第二天		
09:00-12:00	Introduction of RF Measurement Systems and Accessories	
午休		
13:00-14:00	設備見習 (小班教學) * 註一	** 註二
14:00-16:00	Introduction to Microwave Circuits	

第三天		
09:00-12:00	Nano Device Measurement Techniques	
午休		
13:00-15:00	設備見習 (小班教學) * 註一	** 註二
15:00-16:00	測驗與結業	

註一：設備見習課程內容為：Introduction of Adapter and Cable, Demonstration of DC, Flicker Noise, S-parameter, RFIC, Noise and Power Measurement，將依學員人數另外分組

註二：講師為：林昭文、林壯儒、蔡庭以、鄧裕民

### TCAD 模擬系列課程

---

#### 課程介紹

##### TCAD01 奈米元件研發設計課程

Synopsys TCAD 是一套半導體元件電性及製程整合的模擬軟體。本課程的目的在於使學員了解半導體元件的模擬平台 (SWB)，擁有使用軟體設計半導體元件的能力 (SDE)，以及能夠模擬分析所設計的半導體元件的電氣特性 (SDevice)。本課程以 Si nMOSFET 的設計與電性模擬為範例，適合從事 Si CMOS 研究開發的學生及社會人士參加。

##### TCAD02 奈米元件製程課程

Synopsys TCAD 是一套半導體元件電性及製程整合的模擬軟體。本進階課程銜接基礎課程，奈米元件研發設計，進一步教導學員使用製程模擬軟體 (SProcess) 將研發階段所設計的先進半導體元件，利用製程模擬軟體製造出來。之後再以元件電性模擬軟體 (SDevice) 來模擬分析元件的電氣特性。本課程以製作 Si nMOSFET 為範例，適合從事 Si CMOS 元件及製程整合研究開發的學生及社會人士參加。

##### TCAD03 10nm Node FinFET Design

本進階課程延續奈米元件研發設計的課程內容，利用

Synopsys TCAD Sentaurus 模擬軟體裡的 Sentaurus Structure Editor (SDE)，設計出可用於 10nm 節點 (node) 的 Si n-type FinFET。

## TCAD04 Process Simulation for 10nm Node FinFETs

本課程將教導學生使用 TCAD Sentaurus 製程模擬軟體來模擬製造先進的 3D 10nm Node FinFETs。

### 課程大綱 / 梯次

#### 課名：TCAD01 奈米元件研發設計課程

##### 課程大綱

- 半導體元件模擬平台 (Sentaurus Workbench SWB) 介紹
- Silicon nMOSFET 設計 (Sentaurus Structure Editor SDE)
- Silicon nMOSFET 電性模擬 (Sentaurus Device SDevice)
- 解讀電性模擬結果 (Sentaurus Visual)
- 模擬實驗設計及整合
- 成果驗收 (Quiz)

#### 課名：TCAD02 奈米元件製程課程

##### 課程大綱

- Introduction
- Sentaurus Process 2D
- Device Performance Evaluation
- Short Channel Effects vs. Reverse Short Channel Effects
- LDD overlap vs. underlap (effects of series resistance)
- Quiz

### 課名：TCAD03 10nm Node FinFET Design

#### 課程 大綱

本進階課程將教導 SDE 的進階技巧來刻畫先進元件所需要的結構和形狀，例如，nFinFET 的 Si:P S/D epitaxy 所產生的由 (111) 晶面所組成的類似菱形的形狀以及 S/D metal contact 和 low k dielectric 組合產生的寄生電容等，以評估其電氣特性和效能，作為實際製程製作元件的參考。課程最後將把所設計的 nFinFET 做電性模擬以及解讀模擬的結果，以驗證元件的可行性和評估其效能。

### 課名：TCAD04 Process Simulation for 10nm Node FinFETs

#### 課程 大綱

本課程將以 nFinFET gate-last process 為範例，詳細解釋 process flow 中重要 process 的指令，例如，Si (in-situ doped) raised-S/D epitaxy, Nickel Silicide for contact, Photolithography, etching, implantation, annealing, and deposition 等。同時，也將教導學生如何將其中重要的 processes 的參數設成變數，來調整製程以及優化所製作的元件以得到最佳的元件效能。

#### 課程時間

第一天 9:00 報到 ; 9:30-12:00 ; 13:30-17:00

第二天 9:30-12:00 ; 13:30-17:00

## IoT 物聯網感測器元件實作班

本班課程為物聯網感知層的感測器原理與製程技術介紹，針對物聯網對氣體感測器產品低功耗、穩定性、低成本、微型化等技術需求，實作體驗低功耗氣體感測器之製造流程，有助學員日後投入物聯網感測器設計及製程技術之相關產業。

第一天	
09:00-12:00	物聯網感測器發展及氣體感測原理
13:00-14:00	職安簡介
14:00-16:00	氣體感測器實作 (1) 感測器製程流程簡介 & 感測電極製程

第二天	
09:00-12:00	氣體感測器實作 (2) 感測電極 / 感測薄膜微影製程
13:00-14:00	氣體感測器實作 (3)
14:00-16:00	感測薄膜製程

第三天	
09:00-12:00	氣體感測器實作 (4) 感測器微結構製程
13:00-14:00	氣體感測器實作 (5) 感測器量測
11:00-12:00	

### 2.5D/3D 元件整合封裝製程實作班

本班課程為元件封裝技術介紹，以及晶圓 / 晶片封裝製程體驗，本課程實作除含蓋傳統金屬打線製程外，將著重於感測元件覆晶封裝製程實作，並搭配矽穿孔製程技術 (TSV) 以應用於 2.5D 或 3D 之封裝完整的製作流程，有助學員日後投入半導體感測器封裝技術相關產業。

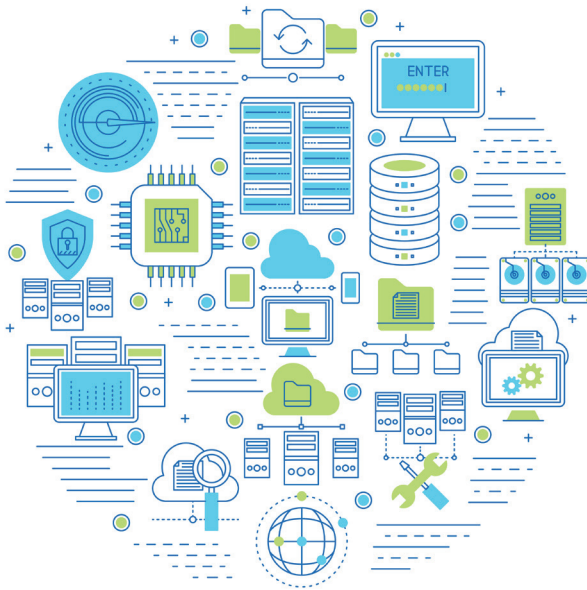
第一天	
09:00-12:00	封裝技術
13:00-14:00	職安簡介
14:00-16:00	封裝實作 (1) TSV 矽穿孔乾蝕刻製程

第二天	
09:00-12:00	封裝實作 (2) 銅柱黃光製程及種晶層薄膜沈積製程
13:00-14:00	封裝實作 (3)
14:00-16:00	銅電鍍製程 / 錫電鍍製程



## 第三天

<p>09:00-12:00</p>	<p>封裝實作 (4) Wafer to wafer (W2W) 晶片對準及接合製程及 Chip to wafer (C2W) 2.5D 晶粒接合封裝製程</p>
<p>13:00-14:00</p>	<p>封裝實作 (5) CMP</p>
<p>14:00-16:00</p>	<p>封裝實作 (6) 雷射切割</p>



### CMOS 生醫感測微流道晶片 導論與見習

本課程為 CMOS 生醫感測與微流道晶片，包含生醫感測原理及元件設計、半導體與微流道製程技術，針對檢測需求，如快速、高靈敏、微型化、可攜式等技術需求，進行介紹與分析，並配合實作體驗感測器與微流道晶片製作流程，有助學員日後投入生醫感測器與生物科技研發與設計及製造之相關產業。

#### 課表

日期	上課時間	授課名稱
第一天	9:00-12:00	CMOS 生醫感測微流道晶片技術簡介
第一天	13:00-16:00	CMOS 生醫感測微流道晶片技術簡介
第二天	9:00-10:00	職安簡介
第二天	10:00-12:00	生物晶片與生醫感測材料見習 (1)
第二天	13:00-16:00	生物晶片與生醫檢測器見習 (2)

## FinFET 先進鱗式電晶體技術

本課程主要針對在半導體領域之從業人員，提供一個深入淺出的探討於鱗式電晶體元件上，同時讓有使用本中心平台或是業界代工的人員，可以去了解最新的電晶體技術、元件特性和未來技術困難點。

09:00-12:00

- **Introduction**

- **FEoL processes**

Advanced of materials and structures

- Nanosheet, nanowire
- Strain, Si, SiGe and GeSn
- Gate stack, embedded S/D novel ions implantation

- **MoL/BEoL processes**

Advanced of metallization process

- Ru, Co and carbon nanotube and

- **Emerging integration technology**

- 2D materials FETs, NCFETs and CFETs
- Monolithic 3D, Coolcube and Heterogeneous 3D application

- **Fundamentals of electrical Performance**

13:30-16:30

- **Challenges to FinFET Process and Device Technology**

- Process Technology Challenge
- Device/Circuit Technology Challenge

- **What Next**

### M3D01 單晶片堆疊式 3D 元件製程技術見習與實作

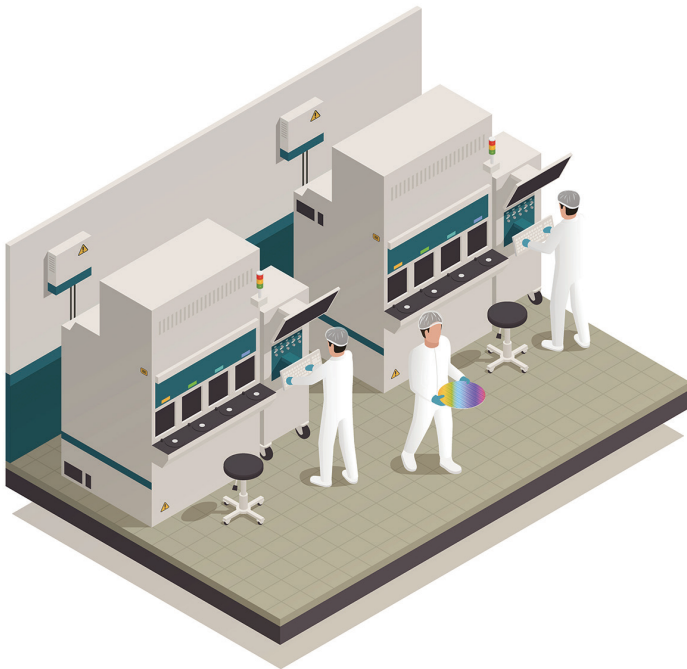
本課程介紹單晶片堆疊式 3D 奈米線元件製程技術，讓你了解目前相關製程技術，並藉由本見習課程一步一步帶你學習半導體研究中心所建置的積層型 3D 晶片製程服務平台與了解單晶片堆疊式 3D 元件製程技術細節。

第一天	
授課資訊	授課資訊
9:00~12:00	單晶片堆疊式 3D 元件製作流程介紹
13:30~16:30	低熱預算 Si/Ge 薄膜雷射結晶製程

第二天	
授課資訊	授課資訊
9:00~12:00	低熱預算 Si/Ge 薄膜活化與薄化製程
13:30~16:30	三維可堆疊 Si/Ge 奈米線製備程

## 第三天

授課資訊	授課資訊
9:00~12:00	三維可堆疊 Si/Ge 奈米線元件製程
13:30~16:30	晶圓鍵合三維可堆疊通道製程



### GENS 鍺垂直堆疊奈米片通道電晶體 製程技術見習與實作

本課程主要介紹鍺垂直堆疊奈米片通道電晶體 (Ge Nano-sheet FET, NSFET) 製程技術，先透過課堂講解讓學員了解 Ge NSFET 的詳細製作流程，再藉由見習課程讓學員逐步了解元件製作流程所涉及的一些關鍵機台的原理與操作，如 Ge/Si 多層磊晶、選擇性蝕刻等。最終目標能讓學員利用半導體中心所建置的 Ge NSFET 製作平台開展相關的研發工作。

#### 第一天

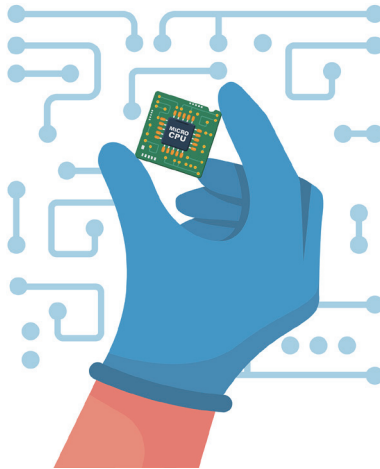
授課資訊	授課資訊
13:30~16:30	Ge NS-FET 詳細製作流程介紹與分析

#### 第二天

授課資訊	授課資訊
9:00~12:00	Ge/Si 多層結構磊晶製程介紹與見習
13:30-16:30	FIN 結構製作見習與實作

## 第三天

授課資訊	授課資訊
9:00~12:00	透過選擇性蝕刻製作 Ge 奈米片通道製程見習
13:30~16:30	ALD 製作包覆式 high-k/metal gate 製程見習與實作



2024

半導體設計技術  
課程介紹





課程代號	課程名稱	頁碼
A001	晶片設計實作課程 -Cell-Based 數位晶片設計與實作	50-52
A002	晶片設計實作課程 - Full-Custom 晶片設計與實作	53-55
A003	晶片設計實作課程 -CMOS MEMS 晶片實作與感測電路 IP 整合	56-58
A007	晶片設計實作課程 -CMOS 射頻積體電路 (LNA) 設計與實作	59-61
A011	晶片設計實作課程 -CMOS 射頻積體電路 (PA) 設計與實作	62-64
A012	晶片設計實作課程 - TSMC 0.18um HV 70V G2 高壓晶片設計與實作	65-68
C001	Circuit Simulation and Analysis with HSPICE	69-70
C002	Analog IC Design using Custom Compiler	71-74
C003	Physical Verification with Calibre	75-76
C004	Full-Custom IC Design Concepts	77-79
C005	Mixed-Signal IC Implementation and Verification	80-81
C006	Analog FinFET(ADFP) IC Design using Custom Compiler	82-86
C010	IC 設計軟體環境建置與管理	87-88

課程代號	課程名稱	頁碼
C101	Cell-based IC Implementation and Verification	89-90
C102	Verilog	91-92
C103	Logic Synthesis with Design Compiler (Lab: ADFP – TSMC 16nm)	93-95
C104	Logic Synthesis with Design Compiler	96-98
C105	HDL Debugging with Verdi	99-100
C106	Cell-Based IC Physical Design and Verification with Innovus	101-102
C107	Cell-Based IC Physical Design and Verification with Innovus (Lab: ADFP – TSMC 16nm)	103-104
C109	Post-Layout Simulation and Verification with CustomSim	105-107
C111	Cell-Based IC Physical Design and Verification with IC Compiler	108-109
C112	Cell-Based IC Physical Design and Verification with IC Compiler II	110-111
C113	Cell-Based IC Physical Design and Verification with IC Compiler II (Lab: ADFP–TSMC 16nm)	112-114
C114	MATLAB & Simulink 教育訓練進階課程 - Mixed Signal Design and Verification Flow	115-116

課程代號	課程名稱	頁碼
C121	Siemens EDA HLS Flow for AI Applications	117-118
C123	以 HLS 快速開發 AI 硬體架構 (Catapult HLS)	119-120
C130	Jasper Formal Property Verification	121-122
C131	Stratus HLS: SystemC-to-RTL 高階合晶片設計流程	123-124
C203	Design of RF CMOS IC	125-126
C204	Virtuoso ADE and Spectre	127-129
C205	ADS Fundamentals	130-131
C207	ADS Momentum	132-133
C210	High-Frequency Communication System Measurement	134-135
C211	PADS PCB Schematic and Layout	136-138
C212	化合物半導體 MMIC 功率放大器設計實作課程	139-141
C213	下世代非揮發性記憶體陣列設計與量測課程	142-143
C214	量子電腦工程 (Quantum Computer Engineering)	144-145
C515	The Digital IC Testing with 93000 Series	146-147
C516	數位晶片內嵌式記憶體瑕疵偵測原理與實作	148-149

課程代號	課程名稱	頁碼
C601	CMOS MEMS sensor design concept	150-152
C610	OPAMP Design Techniques	153-154
C612	Switched-Capacitor Circuit Design Techniques	155-156
C704	TN28HPC+ 製程 -Full-Custom IC design flow	157-159
C705	TN16FFC 製程 -Full-Custom IC design flow	160-163
C706	ADFP 製程 -Full-Custom IC design flow	164-166
C806	天線陣列設計與 3D 電磁模擬實作	167-168
C904	AISOC Platform hands-on tutorial	169-171
C908	Silicon photonics passive component measurement course	172-173
C909	矽光子主動元件與應用系統理論分析與量測教學課程	174-175
C911	Edge AI Realization With MediaTek AI platform	176-177
C912	矽光子主被動元件系統設計與軟體使用課程	178-179
C913	矽光子下線 -IMEC PDK 使用、佈局、DRC 與軟體環境建置教學課程	180-181

### 半導體設計課程報名

#### 1. 報名方式：一律採網路報名。

#### 2. 報名流程：

- ① 於「會員服務平台」註冊；
- ② 若為大專院校學生註冊為本中心會員，並經指導教授完成「學生資料認證」  
(詳細流程請參訓練課程網頁公告「老師認證授權學生流程」)
- ③ 進入半導體中心官網「教育訓練」「設計課程報名」網頁進行選課作業；
- ④ 報名成功後，請持報名繳費單於繳費期限內至「全家便利商店」及「萊爾富便利商店」繳費。敬請於期限內繳費完成，逾期繳費者將不另行通知，系統將逕行取消其報名訂單。

#### 3. 取消報名規定

需於各課程報名截止日前提出退費申請，逾期或未備齊所需文件，恕不受理，並酌收 1/4 報名費為行政處理費。

#### 4. 上課時間 每日 9:00-17:00

## 5. 上課地點

**新竹訓練教室：**新竹市科學園區展業一路 26 號 奈米電子研究大樓

**台中訓練教室：**台中市南區國光路 250 號 中興大學孟堯晶片中心 6 樓

**台南訓練教室：**台南市大學路 1 號 成功大學自強校區電機館 4 樓

**台南 SL 教室：**台南市大學路 1 號 成功大學自強校區奇美樓 7 樓

## 6. 招生名額 詳參報名系統。

## 7. 報名費用 詳參報名系統，報名費已含講義費用。

## 8. 證書發放

出席率 ( 以簽到 / 退計算 ) 符合各課程要求且於期限內完成課後問卷填寫者，本中心將發予「訓練證書」。



設計課程報名

### 9. 注意事項

- **各課程不接受代理上課。**報到時請出示您本人證件換取上課證，若為學術界會員身份報名，請務必出示有效之學術證明文件（如學生證或教師證等），否則無法上課。
- 於報名繳費後凡經確認您的身份不符合上課資格者（非報名本人上課、非本國籍等）、未遵守各課程相關規定、干擾上課影響全體學員權益，一律不給予上課並驅離教室，且不受理退費，故請學員務必遵守相關規定，以免影響您的權益。
- 本中心課程及教材一律禁止複印、錄影及錄音。
- 午餐請自理，本中心恕不提供代訂便當之服務。
- 因與軟體廠商簽訂合約關係，故部份課程上課及增購講義之服務僅提供給會員身份為「學術界」者，產研界及其他一般人士恕不提供。
- 課程期間如遇天災（颱風、地震…等因素）停課，停課標準以上課所在地縣市政府宣佈為準。若停課則考量課程延續性問題，課程會順延至假日（週六或週日）補課，相關補課事宜會再另行通知及公告。
- 本中心保留課程、講師、上課時間、教室更換之權利。



●其他相關規定請詳閱本簡章公告及本中心訓練課程網頁「報名須知 / 報名資格」。

## 聯絡窗口

### 高小姐

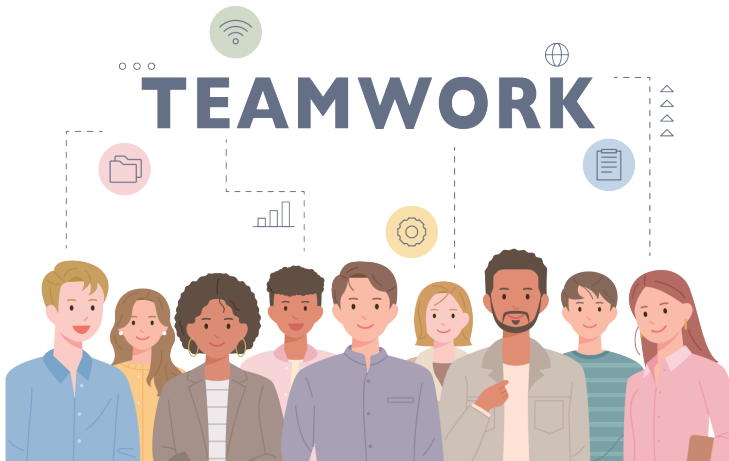
電話：03-5773693 ext.7689

電子信箱：hlkao@narlabs.org.tw

### 朱小姐

電話：03-5773693 ext.7160

電子信箱：chchu@narlabs.org.tw



### A001 晶片設計實作課程 -Cell-Based 數位晶片設計與實作

本課程以 Cell-Based IC Design 為晶片設計流程，學習數位晶片設計與實作技術。課程內容將規劃一個數位晶片設計專題，搭配課程講解與實務操作，使學員能完整學習到數位晶片的設計、實作與量測，並讓學員能夠於三週課程中，自行完成指定之設計專題。

每堂課均會搭配上機實作練習，讓學員能快速熟悉 EDA 工具基本操作。課程結束後，完成數位晶片設計專題並符合下線規格者，中心將免費進行晶片製作及封裝服務，並發予證書。修習本課程，學員可學會：

1. Cell-based IC 設計流程
2. Verilog 數位 IC 設計
3. 數位 IC 前段設計 ( 設計、模擬、合成 )
4. 數位 IC 後段設計 ( 佈局、驗證 )
5. 晶片下線實作經驗 ( 符合下線規格者 )
6. 晶片量測

#### 課程大綱

1. Cell-based IC 設計流程
2. Verilog 硬體描述語言

3. 電路模擬與除錯
4. 電路合成與模擬
5. 電路自動化佈局與驗證
6. 佈局後驗證
7. 晶片量測
8. 數位晶片設計專題實作與下線

### 修課條件

1. 限學術界會員
2. 需備有本國籍學界身份證明文件
3. 建議先修課程：
  - (1) 邏輯設計
  - (2) 超大型積體電路設計 /VLSI

### 報名須知

1. 本課程限學術界會員報名，報名時須上傳學界身份證明文件，若未備有證明文件即無法報名。證明文件說明如下 ( 請擇一提供 )：
  - (1) 蓋有本年度註冊章之學生證正反面影本。
  - (2) 若學生證無註冊章，則請系所蓋章加註：確認您為在學學生或請您申請在學證明。
  - (3) 教師證或任何可證明您目前為教師身份之任何文件。

- (4) 若無以上相關文件者，請提供可證明您目前為學界身份之任何文件或請您的指導教授協助填寫學界身份證明表 ( 表格請至本中心網頁 / 教育訓練 / 晶片設計課程報名下載 ) 。
2. 本課程含數位實作晶片製作，此晶片因採用 U18 製程與數位晶片元件資料庫之故，須請每位完成報名學員於上課前皆須先完成簽署「製程資料授權使用切結書」或「製程及元件庫資料授權使用切結書」，未簽署完成取得授權者將取消下線資格。
3. 本課程不接受代理上課。
4. 證書發放及免費晶片製作
  - (1) 出席率 ( 以簽到 / 退計算 ) 達總時數 80% ( 含 ) 以上且於期限內完成課後問卷填寫者，本中心將發予「訓練證書」。
  - (2) 完成晶片製作並通過下線規格者，則可免費進行晶片製作，並發予「晶片實作證書」。

## A002 晶片設計實作課程 -Full-Custom 晶片設計與實作

本課程以 Full-Custom IC Design 為晶片設計流程，學習完整的 IC 設計與實作技術。內容將有別於「C004 Full-Custom IC Design Concepts」課程，除了一般性專業知識的介紹外，將規劃以運算放大器 (CMOS Operational Amplifiers) 為基礎之設計專題，並搭配課程講解與實務操作，提供設計類比 / 混訊晶片所必須具備之訓練，並於二週課程中能自行完成指定之設計專題。

課程結束後，學員所設計之專題電路如符合下線規格者，中心將免費進行晶片製作及封裝服務，並發予證書。修習本課程，學員可學會：

1. Full-Custom IC Design Flow
2. 基本 OP Amp. 電路設計 (包含設計方法、電路模擬、佈局技巧、量測考量等)
3. 使用製程資料之實作經驗
4. 晶片下線實作經驗 (符合下線規格者)

### 課程大綱

1. Full-Custom IC Design Flow (incl. Exercise)
2. OP Design Methodology (incl. Exercise)
3. Project Design and Simulation
4. Project Layout and Verification
5. Ready to Tapeout (if meet the design spec.)

### 修課條件

1. 限學術界會員
2. 需備有本國籍學界身份證明文件
3. 建議先修課程：
  - (1) 電子學
  - (2) 電路學
  - (3) 超大型積體電路設計 /VLSI
  - (4) 諳 UNIX 操作者尤佳

### 報名須知

1. 本課程限學術界會員報名，報名時須上傳學界身份證明文件，若未備有證明文件即無法報名。  
證明文件說明如下 (請擇一提供)：
  - (1) 蓋有本年度註冊章之學生證正反面影本。
  - (2) 若學生證無註冊章，則請系所蓋章加註：確認

您為在學學生或請您申請在學證明。

(3) 教師證或任何可證明您目前為教師身份之任何文件。

(4) 若無以上相關文件者，請提供可證明您目前為學界身份之任何文件或請您的指導教授協助填寫學界身份證明表 ( 表格請至本中心網頁 / 教育訓練 / 晶片設計課程報名下載 ) 。

2. 本課程含一類比實作品片製作，此晶片因採用 U18 製程與類比晶片元件資料庫之故，須請每位完成報名學員於上課前皆須先完成簽署「製程資料授權使用切結書」或「製程及元件庫資料授權使用切結書」，未簽署完成取得授權者將取消下線資格。

3. 本課程不接受代理上課。

4. 證書發放及免費晶片製作

(1) 出席率 ( 以簽到 / 退計算 ) 達總時數 80% ( 含 ) 以上且於期限內完成課後問卷填寫者，本中心將發予「訓練證書」。

(2) 完成晶片製作並通過下線規格者，則可免費進行晶片製作，並發予「晶片實作證書」。

### A003 晶片設計實作課程 –CMOS MEMS 晶片實作與感測電路 IP 整合

本課程以 TSRI 所提供的 U18 CMOS MEMS 製程作為晶片設計平台，課程內容包含 CMOS MEMS 製程與量測介紹、傳感器設計原理與 TSRI 感測電路 IP 的應用實作技術，課程中將搭配 Laker/Calibre/Spectre 與 CoventorWare 軟體進行上機實務操作。學員於一周的課程內將完成單軸電容式加速度器感測晶片的設計模擬與實作佈局。

課程結束後，學員所設計之專題電路如符合下線規格者，中心將免費進行晶片製作、封裝服務及後續晶片量測，並發予證書。

#### 課程大綱

1. CMOS MEMS process and platform (incl. Exercise Laker/Calibre)
2. MEMS technology and material parameter (incl. Exercise Laker/Calibre)
3. Design of MEMS accelerometer (incl. Exercise Coventorware/Laker/Calibre)



4. MEMS measurement and laboratory visit (incl. Exercise Laker/Calibre)
5. Circuit concept and introduction of TSRI circuit IP (incl. Exercise TSRI circuit IP integration/Laker/Calibre)
6. Integration of MEMS accelerometer and TSRI circuit IP (incl. Exercise TSRI circuit IP integration/Laker/Calibre)

### 修課條件

1. 限學術界會員
2. 需備有本國籍學界身份證明文件
3. 建議先修課程：  
C004 Full-Custom IC Design Concept

### 報名須知

1. 本課程限學術界會員報名，報名時須上傳學界身份證明文件，若未備有證明文件即無法報名。證明文件說明如下 (請擇一提供)：
  - (1) 蓋有本年度註冊章之學生證正反面影本。
  - (2) 若學生證無註冊章，則請系所蓋章加註：確認您為在學學生或請您申請在學證明。
  - (3) 教師證或任何可證明您目前為教師身份之任何文件。

- (4) 若無以上相關文件者，請提供可證明您目前為學界身份之任何文件或請您的指導教授協助填寫學界身份證明表 ( 表格請至本中心網頁 / 教育訓練 / 晶片設計課程報名下載 )。
2. 本課程含實作晶片製作，此晶片因採用 U18 製程與 MEMS 晶片元件資料庫之故，須請每位完成報名學員於上課前皆須先完成簽署「製程資料授權使用切結書」或「製程及元件庫資料授權使用切結書」，未簽署完成取得授權者將取消下線資格。
3. 本課程不接受代理上課。
4. 證書發放及免費晶片製作
  - (1) 出席率 ( 以簽到 / 退計算 ) 達總時數 80% ( 含 ) 以上且於期限內完成課後問卷填寫者，本中心將發予「訓練證書」。
  - (2) 完成晶片製作並通過下線規格者，則可免費進行晶片製作，並發予「晶片實作證書」。

## A007 晶片設計實作課程 – CMOS 射頻積體電路 (LNA) 設計與實作

本課程以 TSRI 所提供的 T18 CMOS 製程作為晶片設計平台，課程內容包含 CMOS 製程與射頻電路設計之基礎介紹、低雜訊放大器 (LNA) 設計原理與電路實作技術，課程將介紹在 EDA Cloud 上如何使用設計環境，搭配 ADS、Virtuoso 與 Calibre 等軟體進行上機實務操作。學員於課程內，將完成低雜訊放大器晶片的設計模擬與實作佈局。課程結束後，學員所設計之專題電路如符合下線規格者，中心將免費進行晶片製作服務，並發予證書。

### 課程大綱

1. Introduction
2. Impedance Matching
3. Device Characteristics
4. Electromagnetic (EM) Simulation
5. Circuit Design and Simulation
6. Layout DRC/LVS Check
7. Post-Layout Simulation
8. Tapeout Flow

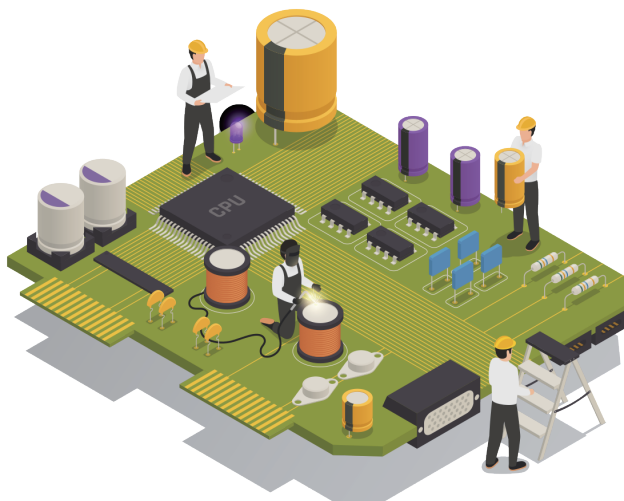
### 修課條件

1. 限學術界會員
2. 需備有本國籍學界身份證明文件
3. 建議先修課程：
  - (1)C004 Full-Custom IC Design Concepts
  - (2)C205 ADS Fundamentals
  - (3)C207 ADS Momentum
  - (4)C203 Design of CMOS RF IC

### 報名須知

1. 本課程限學術界會員報名，報名時須上傳學界身份證明文件，若未備有證明文件即無法報名。證明文件說明如下 ( 請擇一提供 )：
  - (1) 蓋有本年度註冊章之學生證正反面影本。
  - (2) 若學生證無註冊章，則請系所蓋章加註：確認您為在學學生或請您申請在學證明。
  - (3) 教師證或任何可證明您目前為教師身份之任何文件。
  - (4) 若無以上相關文件者，請提供可證明您目前為學界身份之任何文件或請您的指導教授協助填寫學界身份證明表 ( 表格請至本中心網頁 / 教育訓練 / 晶片設計課程報名下載 )。

2. 本課程含實作晶片製作，此晶片因採用 T18 製程之故，須請每位完成報名學員於上課前皆須先完成簽署「製程資料授權使用切結書」或「製程及元件庫資料授權使用切結書」，未簽署完成取得授權者將取消下線資格。
3. 本課程不接受代理上課。
4. 證書發放及免費晶片製作
  - (1) 出席率 (以簽到 / 退計算) 達總時數 80% (含) 以上且於期限內完成課後問卷填寫者，本中心將發予「訓練證書」。
  - (2) 完成晶片製作並通過下線規格者，則可免費進行晶片製作，並發予「晶片實作證書」。



### A011 晶片設計實作課程 –CMOS 射頻積體電路 (PA) 設計與實作

本課程以 TSRI 所提供的 U18 製程作為晶片設計平台，課程內容包含 CMOS 製程與射頻電路設計之基礎介紹、射頻功率放大器 (PA) 設計原理與電路實作技術，課程將介紹在 EDA Cloud 上如何使用設計環境，搭配 ADS、Virtuoso 與 Calibre 等軟體進行上機實務操作。學員於課程內，將完成射頻功率放大器晶片的設計模擬與實作佈局。課程結束後，學員所設計之專題電路如符合下線規格者，中心將免費進行晶片製作服務，並發予證書。

#### 課程大綱

1. Introduction
2. Impedance Matching
3. Device Characteristics
4. Electromagnetic (EM) Simulation
5. Circuit Design and Simulation
6. Layout DRC/LVS Check
7. Post-Layout Simulation
8. Tapeout Flow

## 修課條件

1. 限學術界會員
2. 需備有本國籍學界身份證明文件
3. 建議先修課程：
  - (1)C004 Full-Custom IC Design Concepts
  - (2)C205 ADS Fundamentals
  - (3)C207 ADS Momentum
  - (4)C203 Design of CMOS RF IC

## 報名須知

1. 本課程限學術界會員報名，報名時須上傳學界身份證明文件，若未備有證明文件即無法報名。證明文件說明如下 ( 請擇一提供 )：
  - (1) 蓋有本年度註冊章之學生證正反面影本。
  - (2) 若學生證無註冊章，則請系所蓋章加註：確認您為在學學生或請您申請在學證明。
  - (3) 教師證或任何可證明您目前為教師身份之任何文件。
  - (4) 若無以上相關文件者，請提供可證明您目前為學界身份之任何文件或請您的指導教授協助填寫學界身份證明表 ( 表格請至本中心網頁 / 教育訓練 / 晶片設計課程報名下載 )。

2. 本課程含實作晶片製作，此晶片因採用 U18 製程之故，須請每位完成報名學員於上課前皆須先完成簽署「製程資料授權使用切結書」或「製程及元件庫資料授權使用切結書」，未簽署完成取得授權者將取消下線資格。
3. 本課程不接受代理上課。
4. 證書發放及免費晶片製作
  - (1) 出席率 ( 以簽到 / 退計算 ) 達總時數 80% ( 含 ) 以上且於期限內完成課後問卷填寫者，本中心將發予「訓練證書」。
  - (2) 完成晶片製作並通過下線規格者，則可免費進行晶片製作，並發予「晶片實作證書」。



## A012 晶片設計實作課程 - TSMC 0.18um HV 70V G2 高壓晶片 設計與實作

本課程介紹 TSMC 0.18um HV G2 高壓製程，並以此製程設計實作一顆高壓晶片。課程內容首先介紹該高壓製程，包含：(1) 在使用此高壓製程時，電路設計者須知道的一些使用注意事項、MOS 架構及所特有之元件及規格，方便使用者之後能順利準確從 PDK 中挑出自己需要的元件 (2) 如何在 EDA Cloud 上使用整個設計環境，(3) 如何於此製程中使用 Cadence Virtuoso Layout XL 來輔助 Layout 流程，(4) TSRI Library 中提供之 IP 電路。

值得一提的是，高壓製程在 Layout 部分與一般低壓製程相比，會要求為各種高低壓元件加上 Isolation Ring，以及防治 I/O Latch-up 用之 Guard Ring。這些 ring 的架構與規範較為繁瑣，會有相對應的 DRC error，這些在建電路 schematic 時都是看不到的，所以對於初學者需要比較多時間摸索，因此在課程中特別著重於這個部分的介紹。

在課程的後半部將提供一個 5-V 線性穩壓器 (5-V low dropout regulator) 之設計專題，讓學員能結合前面所學各項內容來完成這個專題，藉此熟悉整個 TSMC 0.18um HV G2 高壓製程設計環境的使用。課程結束後，學員所設計之專題電路如符合下線規格者，中心將免費進行晶片製作及封裝服務。

### 課程大綱

1. 製程簡介
2. 下線流程
  - (1) 製程 / 矽智財使用申請
  - (2) Tape-out Flow
3. 設計環境及 EDA Cloud 介紹 ( 含上機演練 )
  - (1) EDA Cloud 簡介
  - (2) 電路模擬
  - (3) 佈局驗證
  - (4) 佈局軟體
4. 保護機制
  - (1) Internal HV device – isolation ring
  - (2) Internal LV device – isolation ring
  - (3) HV I/O device – latch-up and guard rules & parasitic ESD rules
  - (4) 使用時機與相對應的 DRC Error

5. 設計專題 : 5-V 線性穩壓器
  - (1) 電路模擬
  - (2) 佈局及驗證
  - (3) 佈局後模擬

### 修課條件

1. 限學術界會員
2. 需備有本國籍學界身份證明文件
3. 上課電腦 IP 需為該課程申請之 IP，禁止使用 VPN( 包含學校 VPN) 或其他遠端連線方式操作。
4. 建議先修課程：
  - (1) 電子學
  - (2) C004 Full-Custom IC Design Concept

### 報名須知

1. 本課程限學術界會員報名，報名時須上傳學界身份證明文件，若未備有證明文件即無法報名。證明文件說明如下 ( 請擇一提供 )：
  - (1) 蓋有本年度註冊章之學生證正反面影本。
  - (2) 若學生證無註冊章，則請系所蓋章加註：確認您為在學學生或請您申請在學證明。
  - (3) 教師證或任何可證明您目前為教師身份之任何文件。

- (4) 若無以上相關文件者，請提供可證明您目前為學界身份之任何文件或請您的指導教授協助填寫學界身份證明表 ( 表格請至本中心網頁 / 教育訓練 / 晶片設計課程報名下載 ) 。
2. 本課程含實作晶片製作，此晶片因採用 T18HVG2 製程之故，須請每位完成報名學員於上課前皆須先完成簽署「製程資料授權使用切結書」或「製程及元件庫資料授權使用切結書」，未簽署完成取得授權者將取消下線資格。
3. 本課程不接受代理上課。
4. 證書發放及免費晶片製作
  - (1) 出席率 ( 以簽到 / 退計算 ) 達總時數 80% ( 含 ) 以上且於期限內完成課後問卷填寫者，本中心將發予「訓練證書」。
  - (2) 完成晶片製作並通過下線規格者，則可免費進行晶片製作，並發予「晶片實作證書」。

## C001 Circuit Simulation and Analysis with HSPICE

本課程將介紹基礎與常用的 HSPICE 描述指令，包含 SPICE 之直流、交流、暫態與參數變異分析等，並簡介指令參數，相關元件，及使用圖形分析處理界面來顯示及處理 SPICE 的各類模擬結果。促使設計人員在不需查閱 SPICE 使用手冊的情形下，就能夠快速地學習和熟悉進行電路模擬時所需的描述格式及軟體操作。

### 課程大綱

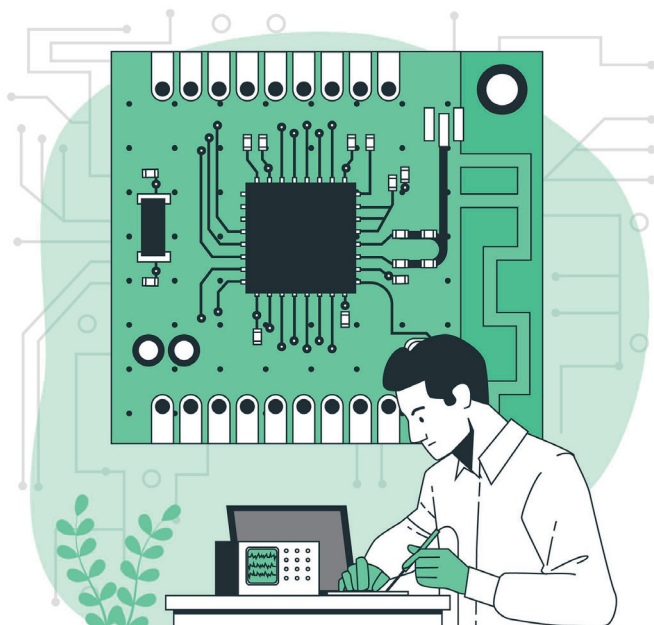
1. SPICE Overview
2. Graphic Tools
3. Simulation Input and Controls
4. Sources and Stimuli
5. Analysis Types
6. Simulation Output and Controls
7. Elements and Device Models
8. Optimization
9. Control Options & Convergence

### 修課條件

適合初學者，具基本電子學及電路理論知識者為佳。

### 報名須知

1. 本課程開放學術界及一般人士會員報名。
2. 課程不接受代理上課。
3. 出席率 (以簽到 / 退計算) 「全勤」且於期限內完成課後問卷填寫者，本中心將發予「訓練證書」。



## C002 Analog IC Design using Custom Compiler

Custom Compiler™是 Synopsys 新一代的 full custom 設計平台，中心引進 Custom Compiler 軟體，提供設計者強大完整的混訊 / 類比 / 全客戶的積體電路設計流程。Custom Compiler™ 設計環境適用於 full-custom analog、custom digital 與 mixed-signal IC 設計的全方位解決方案。作為 Synopsys Custom Design Platform 的核心，Custom Compiler 超越了 Laker 的 layout editor 角色，提供電路圖設計 (schematics)、模擬分析 (simulation analysis) 及佈局編輯 (layout) 等功能，擁有業界領先的生產力、性能和易用性。

Custom Compiler 提供更多的軟體整合—類似於 Virtuoso-ADE，其 Open Access (OA) library 上的 Schematic Editor(SE) 取代了 lib++ 的 ADP，除了更為靈巧的電路編輯，更整合了 Simulation and Analysis Environment (SAE) 操作環境，圖形化介面直接呼叫 SPICE 與 WaveView 等軟體，提供所需相關電壓、電流、timing 與功率等量測資訊，來完成全客戶 / 類比積體電路上設計模擬與除錯。

在電路佈局設計上，其 Layout Editor(LE) 取代了

Laker，提供更先進的介面、功能與環境，以 instance 來實現電晶體等元件的佈局。不僅如此，Custom Compiler 的 Schematic Driven Layout (SDL) 更進一步，除了自動化完成元件，還高度自動化完成 floorplan、接線或繞線，大幅減少積體電路佈局與驗證時間、縮小設計完成之晶片面積，成功引領設計者邁入 OA 世代。本課程提供 Two Stage OPAMP 與 Non-overlap Clock Generator 兩個範例，教導 Planar MOSFET 相關設計功能，讓設計者立即熟悉使用 Custom Compiler SE 與 LE 軟體的完整流程。Synopsys 亦提供 Virtuoso-ADE 設計環境使用者，能快速將原有 schematic 設計轉換以 Custom Compiler 實現佈局，收事半功倍之效。

### 課程大綱

1. Custom Compiler Schematic Editor and SAE
  - (1) IC design flow with Custom Compiler
  - (2) Library Manager
  - (3) Basic Schematic Editing and Symbol Drawing
  - (4) Introduction to Simulation and Analysis Environment (SAE)
  - (5) Back Annotations
  - (6) Corners and Parametric Analyses
  - (7) Waveform analyzer – Custom WaveView



- (8) Schematic Reuse and Spice in-out
- 2. Basic Functions of Custom Compiler Layout Editor
  - (1) Data Management (Import & Export Layout, Library and Cell Copy)
  - (2) Layout Viewing
  - (3) Basic Layout Editing
  - (4) Advanced Functions for Layout Editing
  - (5) Design Rule Driven (DRD) Layout
  - (6) Create MPP Guard Ring
  - (7) Hierarchical Design
  - (8) SDL overview
  - (9) Schematic Driven Layout (SDL)
  - (10) SDL by Symbolic Editor with Chaining Mode
  - (11) Interactive Verification with Calibre and IC Validator (ICV)
- 3. Advanced Functions
  - (1) Dummy Device
  - (2) Update Schematic from Layout
  - (3) Clone
  - (4) Interactive Route
- 4. Analog Layout Functions
  - (1) Analog block layout by Symbolic Editor with Matching Mode
  - (2) Pattern Route Assistant for Analog block layout

### 修課條件

1. 修習過電子學或 VLSI 相關課程
2. 熟悉 Hspice 模擬與 Layout 基本流程
3. 熟悉 Full Custom IC Design 基本流程

### 報名須知

1. 本課程開放學術界及一般人士會員報名。
2. 課程不接受代理上課。
3. 出席率 (以簽到 / 退計算) 「全勤」且於期限內完成課後問卷填寫者，本中心將發予「訓練證書」。



## C003 Physical Verification with Calibre

本基礎課程內容包含 Calibre 基本軟體環境設定、指令參數內容簡介、相關驗證規則說明，配合電路佈局使用圖形界面方式來進行 Calibre DRC、LVS 佈局驗證與 PEX 萃取電路佈局之寄生元件處理，以輔助學員完成電路佈局設計的要求。課程內容包含上機操作練習，學員可使用電路佈局軟體 (Cadence Virtuoso Layout Editor 或是 Synopsys Laker Editor) 來進行 DRC、LVS 與 PEX 等工作處理。

### 課程大綱

1. Overview
2. Width and Spacing
3. Examples and Debugging
4. Hierarchical DRC
5. Flat vs. Hierarchical LVS
6. Shorts and Opens
7. Connectivity and Texting
8. Foundational Parasitic Concepts
9. Foundational Flow Concepts

### 10. Transistor-Level Extraction

#### 修課條件

1. 具有基礎的電路佈局設計概念。
2. 曾使用過 Cadence Virtuoso Layout Editor 或是 Synopsys Laker Editor 者為佳。

#### 報名須知

1. 本課程開放學術界及一般人士會員報名。
2. 本課程不接受代理上課。
3. 出席率 (以簽到 / 退計算) 「全勤」且於期限內完成課後問卷填寫者，本中心將發予「訓練證書」。

## C004 Full-Custom IC Design Concepts

本課程為基礎入門學程，將介紹 Full-Custom IC 設計流程、基本觀念及相關軟體的使用方法，經由詳細說明使初學者能儘快理解一般 CMOS 製程資料使用 ( 搭配 PDK )、IC 設計模擬分析及電路佈局間之流程與相關技巧，並在課程當中將學習運用 Cadence Custom IC Design Environment (Virtuoso IC6.1 以上版本 )、Synopsys HSPICE 以及 Siemens Calibre Platform 等各種 EDA 輔助軟體。其上課內容也包含了 CMOS PDK Overview、Schematic/Symbol Editor Usage、Circuit Simulation、Physical Layout Design、Layout Verification(DRC, ERC, LVS, LPE) 以及各設計程序輸出輸入之間相對應的檔案格式、轉換和傳遞，大致上符合目前業界所普遍常見的設計驗證環境和整體流程，以期學員於教育訓練後能具備 Full-Custom IC 設計基礎與佈局概念。

### 課程大綱

1. Basic Concepts of IC Design
2. Full-Custom IC Design Flow

3. Design Environment and Platform
4. Circuit Building and Simulation Flow
5. CMOS Process Design Kit
6. Fundamentals of Layout and Device
7. Layout Design Considerations
8. Verification Flow
9. Appendix
10. Labs

### 修課條件

1. 限學術界會員
2. 需備有本國籍學界身份證明文件
3. 適合初學者，尤以具備電子學與 VLSI 知識及諳 UNIX 操作者為佳。
4. 建議先修課程：  
VLSI 概論 / 電子學 / 數位邏輯設計

### 報名須知

1. 本課程限學術界會員報名，報名時須上傳學界身份證明文件，若未備有證明文件即無法報名。證明文件說明如下 (請擇一提供)：
  - (1) 蓋有本年度註冊章之學生證正反面影本。
  - (2) 若學生證無註冊章，則請系所蓋章加註：確認

您為在學學生或請您申請在學證明。

(3) 教師證或任何可證明您目前為教師身份之任何文件。

(4) 若無以上相關文件者，請提供可證明您目前為學界身份之任何文件或請您的指導教授協助填寫學界身份證明表 ( 表格請至本中心網頁 / 教育訓練 / 晶片設計課程報名下載 ) 。

2. 本課程含 U18 製程資料內容，每位完成報名學員於上課前皆須先完成簽署「製程資料授權使用切結書」或「製程及元件庫資料授權使用切結書」。

3. 本課程不接受代理上課。

4. 出席率 ( 以簽到 / 退計算 ) 「全勤」且於期限內完成課後問卷填寫者，本中心將發予「訓練證書」。



## C005 Mixed-Signal IC Implementation and Verification

以本中心所提供之 Cadence 軟體為基礎，課程包含介紹混合信號電路模擬之背景現況及分類、本中心現有之 Cell-based 與 Full-custom 設計環境、設計者如何進行混合信號電路之模擬及其所需相關環境設定等說明內容。本課程亦將解說包含將從前段到後段之混合信號積體電路設計之模擬過程、佈局整合及下線前佈局驗證與電路後段模擬等注意事項。授課內容包括 LAB 練習。

### 課程大綱

1. Introduction
2. Mixed-Signal Pre-Simulation with AMS
3. Mixed-Signal Pre-Simulation with UltrasimVerilog
4. Mixed-Signal Block Modeling with Abstract Generator
5. Mixed-Signal Layout Integration with Innovus
6. Mixed-Signal Layout Verification with Calibre
7. Mixed-Signal Post-Layout Verification and Simulation (PVS)



## 修課條件

對 Full-custom design flow 與 Cell-based design flow 都有基本了解者為佳，建議先修下列課程：

1. C004 Full-Custom IC Design Concepts
2. C101 Cell-based IC Implementation and Verification
3. C106 Cell-Based IC Physical Design Verification with Innovus
4. C109 Post-Layout Simulation and Verification with CustomSim

## 報名須知

1. 本課程開放學術界及一般人士會員報名。
2. 本課程不接受代理上課。
3. 出席率 ( 以簽到 / 退計算 ) 「全勤」且於期限內完成課後問卷填寫者，本中心將發予「訓練證書」。

## C006 Analog FinFET(ADFP) IC Design using Custom Compiler

FinFET(Fin Field-Effect Transistor) 稱為鰭式場效電晶體，電晶體的閘極三面環繞包裹電晶體的高架通道，形狀與魚鰭相似，因而命名。FinFET 是一種新的互補式金氧半導體 (CMOS) 電晶體，Gate length 已可縮小至 3nm。與傳統平面型電晶體製程相比，FinFET 製程提供了更佳效能與功耗優勢。為增進學術界對 tsmc FINFET 製程上進行設計的了解，tsmc 提出了 TSMC University FinFET Program，推廣提供學術界 ADFP(N16 Academic Design Foster Package) 虛擬製程 PDK。

Custom Compiler™是 Synopsys 新一代的 full custom 設計平台，中心引進 Custom Compiler 軟體，提供設計者強大完整的混訊 / 類比 / 全客戶的積體電路設計流程。Custom Compiler™ 設計環境適用於 full-custom analog、custom digital 與 mixed-signal IC 設計的全方位解決方案。作為 Synopsys Custom Design Platform 的核心，Custom Compiler 超越了 Laker 的 layout editor 角色，提供電路圖設計 (schematics)、模擬分析 (simulation analysis) 及佈局編輯 (layout) 等功能，擁有業界領先的生產力、性能和易用性。

FinFET 製程的結構，新增的 Layout Layers，所規範新增的 Design Rules，在在使其 full custom 設計的學習曲線更爲陡峭，迥異於傳統平面型 MOSFET。因此，讓學習混訊 / 類比 / 全客戶 FinFET 積體電路設計的同學，藉由 Custom Compiler 強大的設計環境，有效率的實現 FinFET 積體電路設計，成功引領同學進入 FinFET 世代，格外深具意義。在本課程 ADFP TN16 學習到的 FinFET 設計，與 Custom Compiler 環境設定，將可以直接運用在 SL 中的 TN16 或 TN7 製程，大幅縮短 FinFET 設計學習時間。

## 課程大綱

1. Custom Compiler Schematic Editor and SAE
  - (1) IC design flow with Custom Compiler
  - (2) Library Manager
  - (3) Basic FinFET Schematic Editing and Symbol Drawing
  - (4) Introduction to Simulation and Analysis Environment(SAE)
  - (5) FinFET Corners and Parametric Analyses
  - (6) Back Annotations
  - (7) Waveform analyzer – Custom WaveView
  - (8) Schematic Reuse and Spice in-out

2. Basic Functions of Custom Compiler Layout Editor
  - (1) Data Management (Import & Export Layout, Library and Cell Copy)
  - (2) Layout Viewing
  - (3) Basic FinFET Layout Editing
  - (4) Advanced Functions for FinFET Layout Editing
  - (5) Design Rule Driven (DRD) Layout
  - (6) Create FinFET Guard Ring
  - (7) Hierarchical Design
  - (8) SDL overview
  - (9) Schematic Driven Layout (SDL)
  - (10) SDL by Symbolic Editor with Chaining Mode
  - (11) Interactive FinFET Verification with Calibre and IC Validator (ICV)
  - (12) FinFET Layout Parameter Extract with StarRC
3. Advanced Functions
  - (1) Dummy Device
  - (2) Update Schematic From FinFET Layout
  - (3) Clone
  - (4) Interactive Route
4. Analog Layout Functions
  - (1) Analog block FinFET layout by Symbolic Editor with Matching Mode
  - (2) Pattern Route Assistant for Analog block layout

## 修課條件

1. 限學術界會員
2. 需備有本國籍學界身份證明文件
3. 熟悉 Hspice 模擬與 CMOS Layout 基本流程
4. 熟悉 Full Custom IC Design 基本流程

## 報名須知

1. 本課程限學術界會員報名，報名時須上傳學界身份證明文件，若未備有證明文件即無法報名。證明文件說明如下 ( 請擇一提供 )：
  - (1) 蓋有本年度註冊章之學生證正反面影本。
  - (2) 若學生證無註冊章，則請系所蓋章加註：確認您為在學學生或請您申請在學證明。
  - (3) 教師證或任何可證明您目前為教師身份之任何文件。
  - (4) 若無以上相關文件者，請提供可證明您目前為學界身份之任何文件或請您的指導教授協助填寫學界身份證明表 ( 表格請至本中心網頁 / 教育訓練 / 晶片設計課程報名下載 )。
2. 本課程含 ADFP 製程資料內容，每位完成報名學員於上課前皆須先完成簽署「製程資料授權使用切結書」或「製程及元件庫資料授權使用切結書」。

3. 本課程不接受代理上課。
4. 出席率 (以簽到 / 退計算) 「全勤」且於期限內完成課後問卷填寫者，本中心將發予「訓練證書」。



## C010 IC 設計軟體環境建置與管理

本課程為提供需在實驗室建置 IC 設計環境之基礎介紹。如何在主機上安裝 Linux 作業系統，以執行從 TSRI 取得之 EDA 軟體。介紹 Linux 基礎使用、系統管理、需要安裝的套件、環境設定，以及常見的問題解決方法。

### 課程大綱

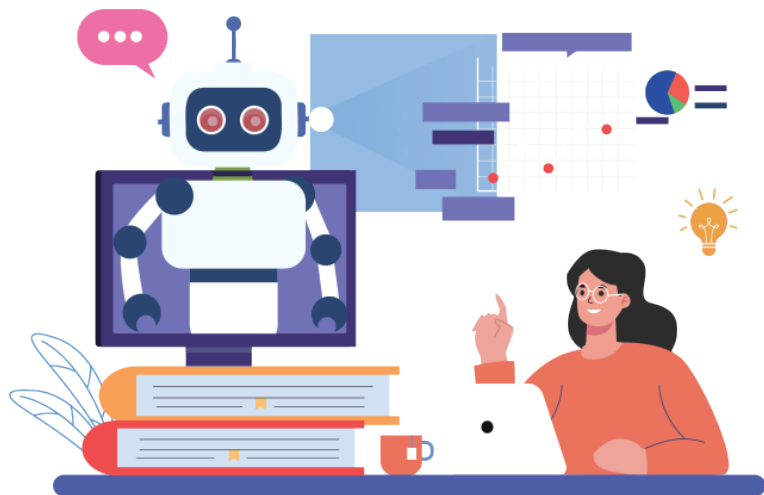
1. TSRI 製程種類介紹
2. CentOS 7 安裝教學
3. CentOS 7 系統環境管理教學
4. 下載並安裝 TSRI 的 IC 設計軟體
5. 簡易問題判斷及處理
6. 建立工作站的資安環境

### 修課條件

1. 限學術界會員
2. 適合需要建置 IC 設計軟體環境的學員適合初學者，尤以具備電子學與 VLSI 知識及諳 UNIX 操作者為佳。

### 報名須知

1. 本課程限學術界會員報名。
2. 本課程不接受代理上課。
3. 出席率 (以簽到 / 退計算) 「全勤」且於期限內完成課後問卷填寫者，本中心將發予「訓練證書」。





# C101 Cell-based IC Implementation and Verification

本課程的設計目的是爲了讓初次使用 Cell-based 方式設計 IC 的學員能在短時間內對整個設計流程能有整體性認識，避免未來在實際設計過程中只專注於某些步驟而導至各種相關問題的發生。本課程內容除介紹 Cell-based IC 設計流程、標準元件庫、Hardware Description Language 等概念外，還包含 Logic Simulator、Logic Synthesizer、P&R 等實務觀念。課程中並安排有上機實作，利用多個具代表性之設計範例讓學員能快速熟悉各種 CAD Tool 之基本操作。

## 課程大綱

### Session 1

- Design Flow Overview
- Standard Cell Library
- Labs for Session 1

### Session 2

- HDL Overview
- Verilog Fundamentals
- Modeling for Functional Verification

HDL Simulation  
Labs for Session 2

### **Session 3**

HDL Synthesis Overview  
Modeling for RTL Synthesis  
Design Optimization  
Labs for Session 3

### **Session 4**

Gate-level Simulation and Debugging  
Automatic Physical Design  
Post-layout Verification  
Labs for Session 4

## **修課條件**

適合初學者。

## **報名須知**

1. 本課程開放學術界及一般人士會員報名。
2. 本課程不接受代理上課。
3. 出席率 (以簽到 / 退計算) 「全勤」且於期限內完成課後問卷填寫者，本中心將發予「訓練證書」。

## C102 Verilog

本課程內容主要為介紹 Verilog 硬體描述語言。除了投影片授課之外，並規劃 8 個練習 (Lab) 上機實作，讓學員實際撰寫 Verilog 並操作模擬器 (Simulator)，將課堂上所學習之 Verilog 寫作技巧實際應用，並完成電路的設計與模擬驗證。課程安排上是講課與實務操作並重，讓學員可以充份掌握 Verilog 語言結構及設計應用。除此之外，本課程也將介紹可用於硬體合成 (Synthesis) 語法，讓學員進一步瞭解硬體設計的觀念與硬體描述語言的關係。

### 課程大綱

1. Introduction to Verilog Design
2. Verilog Module
3. Lexical Conventions in Verilog
4. Verilog Data Types and Logic System
5. Structural Modeling
6. Verilog Expressions and Operators
7. Dataflow Modeling
8. Behavioral Modeling
9. Support for Verification
10. Verilog Test Bench

- 11.A Complete Design Example
- 12.High Level Constructs in Verilog
- 13.Modeling Memories
- 14.Finite State Machine Design
- 15.Verilog Modeling Style for Synthesis

### 修課條件

適合初學者，具備數位邏輯與基本電路知識學員。

### 報名須知

1. 本課程開放學術界及一般人士會員報名。
2. 本課程不接受代理上課。
3. 出席率 ( 以簽到 / 退計算 ) 「全勤」且於期限內完成課後問卷填寫者，本中心將發予「訓練證書」。

## C103 Logic Synthesis with Design Compiler (Lab: ADFP – TSMC 16nm)

本課程與 C104 相同，除了會傳授原有 C104 100% 課程內容外，還會多增加先進製程 (台積電 16nm) 與成熟製程實作上的差異，課程詳細內容請見課程大綱。另外本課程 Lab 全部採用 ADFP - TSMC 16nm 製程製作。

### 課程大綱

#### 1. Introduction

- (1) Cell-base flow review
- (2) Comparison of T90 and ADFP-N16 CBDK settings
- (3) ADFP N16 - Std cell overview
- (4) DC-NXT GUI Overview
- (5) Tcl Introduction

#### 2. HDL Coding for Synthesis

- (1) Synthesizable Verilog Code
- (2) Compiler Directive
- (3) Design Ware Library

#### 3. Design Constraints

- (1) Single Clock Domain Setting
- (2) Multi-clock Domain Setting
- (3) Clock-Gating Coding and Setting
- (4) Clock positive and negative edge trigger circuit coding and setting
- (5) Frequency division and frequency multiplication circuit setting
- (6) Asynchronous circuit design concept and setting
- (7) DCNXT SPG Flow with ADFP - N16 CBDK

### 4. Design Optimization

- (1) Compile the Design - Synthesis skill
- (2) Memory Compiler
- (3) ADFP - N16 Memory category and Coding

### 5.Synthesis Report and Analysis

Labs: 全部採用 TSMC 16nm 實作

### 修課條件

1. 限學術界會員。
2. 需備有本國籍學界身份證明文件
3. 必須至少熟知任一套 HDL (ex: Verilog or VHDL or System Verilog)。
4. 此課程適合具有 HDL Code Design 經驗學員。

## 報名須知

1. 本課程限學術界會員報名，報名時須上傳學界身份證明文件，若未備有證明文件即無法報名。  
證明文件說明如下 ( 請擇一提供 )：
  - (1) 蓋有本年度註冊章之學生證正反面影本。
  - (2) 若學生證無註冊章，則請系所蓋章加註：確認您為在學學生或請您申請在學證明。
  - (3) 教師證或任何可證明您目前為教師身份之任何文件。
  - (4) 若無以上相關文件者，請提供可證明您目前為學界身份之任何文件或請您的指導教授協助填寫學界身份證明表 ( 表格請至本中心網頁 / 教育訓練 / 晶片設計課程報名下載 )。
2. 本課程含 ADFP 製程資料內容，每位完成報名學員於上課前皆須先完成簽署「製程資料授權使用切結書」或「製程及元件庫資料授權使用切結書」。
3. 本課程不接受代理上課。
4. 出席率 ( 以簽到 / 退計算 ) 「全勤」且於期限內完成課後問卷填寫者，本中心將發予「訓練證書」。

## C104 Logic Synthesis with Design Compiler

本課程內容具備多項特色，可協助學員充分掌握 Logic Synthesis 的各項技巧：

1. 本課程適用對象為數位 IC 前段設計、Mixed-signal Flow 之數位部分的電路設計與結合類比電路設計概念。
2. Verilog 語法暗藏許多 Coding 的小技巧，本課程講師將以多年 Coding 設計經驗與常見問題說明其差異性與注意事項，大幅縮減 Coding 時間及加強學習效果。
3. 無論數位電路內含任何特殊電路，本課程將協助您如何針對各式電路設定其相對應的 Constraints，以確保製作出一個正確規格的電路！特殊電路涵蓋範圍如下：
  - A. Single Clock Domain 電路設定方法
  - B. Multi-clock Domain 電路設定方法與注意事項
  - C. Clock-Gating 電路設定方法與注意事項
  - D. Clock 正負緣都觸發的處理與 Coding 方法
  - E. 除頻 / 倍頻 Clock 電路之設定方法
  - F. 同步與非同步電路設計之設定方法



4. 傳授各種 Low power 密技，將現有 Low Power 電路，再獲得更進一步的改良。
5. 面對嚴苛的晶片效能要求，本課程將傳授如何善用現有工具之操作技巧，大幅提升效能 (ex: 將原有晶片效能 70MHZ 提升至 100MHZ)，甚至提升至數倍效能 (ex: 將原有晶片效能由 50MHZ 提升至 200MHZ) 以獲得最佳電路之效能，課後將成爲本軟體操作之達人。
6. 加強 RTL Coding 至 DC 合成成功特訓。
7. 加強說明現有 IP 整合設計技巧。
8. 加強晶片佈局與合成結合觀念說明。
9. 修完本課程：
  - A. 可從事 Digital IC 設計工作
  - B. 可從事晶片佈局工作

本中心有完整、詳細的設計流程及合法使用的設計軟體，能提供來上課之學員更多更完善、良好的學習、實作環境，使學員獲得最大的收益、增進本身的知識及技術。

## 課程大綱

1. Introduction to Synthesis Flow

2. Tool Command Language (TCL)
3. Verilog Coding Skill
4. Basic Chip Spec Constraint Setting
5. Single/Multi-Clock Domain design
6. Double Clock Edge Circuit design
7. Low Power Design ( 含 Clock-Gating & Reduce Leakage Power )
8. DC-Topographical & SPG Design Flow
9. Basic Compiler Methodology and Advanced Compiler Tool
10. Synthesis Report & Analysis
11. Function/ Timing Simulation

### 修課條件

1. 必須至少熟知任一套 HDL (ex: Verilog or VHDL or System Verilog)
2. 此課程適合具有 HDL Code Design 經驗學員

### 報名須知

1. 本課程開放學術界及一般人士會員報名。
2. 本課程不接受代理上課。
3. 出席率 ( 以簽到 / 退計算 ) 「全勤」且於期限內完成課後問卷填寫者，本中心將發予「訓練證書」。

## C105 HDL Debugging with Verdi

在 使用 Hardware Description Language ( 如 Verilog or VHDL) 進行積體電路設計的過程當中，若能善用除錯工具 (debugging tools), 將可大幅縮短設計時程並提高設計品質，本課程介紹如何利用 Verdi 這個除錯工具來協助進行 HDL-based IC design 。

### 課程大綱

1. Overview
2. Source Code Analysis Tool - nTrace
3. Waveform Analysis Tool - nWave
4. Schematic Generator - nSchema
5. Finite State Machine Analysis Tool - nState
6. Interaction Between Four Components
7. Mixed-Level Debugging
8. Advance Verdi Background and Overview
9. Understand design behavior and locate the root cause of a wrong value
10. Trace memory content and locate memory write
11. Locate the root cause of unknown (X) values
12. Understand finite state machine behavior

13. Locate the cause of different results of two simulation runs

### 修課條件

無

### 報名須知

1. 本課程開放學術界及一般人士會員報名。
2. 本課程不接受代理上課。
3. 出席率 (以簽到 / 退計算) 「全勤」且於期限內完成課後問卷填寫者，本中心將發予「訓練證書」。



## C106 Cell-Based IC Physical Design and Verification with Innovus

本訓練課程使用 Cadence Innovus 軟體，將一 Cell-based gate level 的電路製作成 gds layout。課程內容為基本 APR 流程說明，軟體介面操作，教授使用者製作出一合乎 timing 及 power 需求的 IC 晶片。

### 課程大綱

1. Design Flow Overview
2. Prepareing Data
3. Design Import
4. Floorplan /Powerplan
5. Placement
6. Clock Tree Synthesis
7. Timing Analysis
8. Power/Rail Analysis
9. Routing
10. Innovus Foundation Flow
11. DRC/LVS

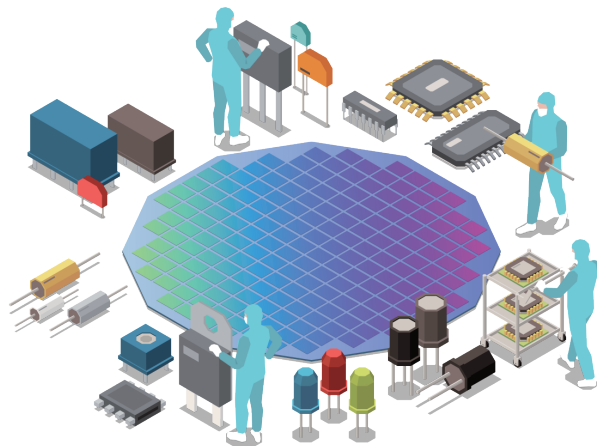
### 修課條件

建議先修課程：

1. VHDL
2. Cell-based design concept
3. C102 Verilog
4. C104 Logic Synthesis with Design Compiler

### 報名須知

1. 本課程開放學術界及一般人士會員報名。
2. 本課程不接受代理上課。
3. 出席率 ( 以簽到 / 退計算 ) 「全勤」且於期限內完成課後問卷填寫者，本中心將發予「訓練證書」。



## C107 Cell-Based IC Physical Design and Verification with Innovus (Lab: ADFP – TSMC 16nm)

讓學生可以使用 ADFP-TSMC 16nm 製程，做完 Cell-based 晶片設計。課程內容著重在相較於非 FinFet 製程，16 nm FinFet 在 APR 流程的差異，library 差異，以及特別注意事項。

本課程不會詳細講解完整 APR 流程，參加者需先有 APR 基礎。

### 課程大綱

1. Library 注意事項
2. Placement 注意事項
3. Routing 注意事項
4. Timing 注意事項
5. Add dummy
6. Design Flow 流程統整

### 修課條件

1. 限學術界會員
2. 需備有本國籍學界身份證明文件

### 3. 建議先修課程

- (1) C106 Cell-Based IC Physical Design and Verification with Innovus

### 報名須知

1. 本課程限學術界會員報名，報名時須上傳學界身份證明文件，若未備有證明文件即無法報名。
  - (1) 證明文件說明如下 ( 請擇一提供 )：
    - (2) 蓋有本年度註冊章之學生證正反面影本。
    - (3) 若學生證無註冊章，則請系所蓋章加註：確認您為在學學生或請您申請在學證明。
    - (4) 教師證或任何可證明您目前為教師身份之任何文件。
    - (5) 若無以上相關文件者，請提供可證明您目前為學界身份之任何文件或請您的指導教授協助填寫學界身份證明表 ( 表格請至本中心網頁 / 教育訓練 / 晶片設計課程報名下載 )。
2. 本課程含 ADFP 製程資料內容，每位完成報名學員於上課前皆須先完成簽署「製程資料授權使用切結書」或「製程及元件庫資料授權使用切結書」。
3. 本課程不接受代理上課。
4. 出席率 ( 以簽到 / 退計算 ) 「全勤」且於期限內完成課後問卷填寫者，本中心將發予「訓練證書」。



## C109 Post-Layout Simulation and Verification with CustomSim

CustomSim 是 Synopsys 公司所發展出來的一套針對混合訊號電路 Transistor-level 模擬與驗證軟體，利用新增多核心處理能力，將同級最佳的 NanoSim、HSIM 和 XA 電路模擬技術整合至單一驗證的解決方案，可將大規模類比混合訊號的效能提升至 4 倍。CustomSim 採用當前業界最佳的模擬引擎，藉由 Direct Kernel Integration 與 Synopsys VCS® 模擬器結合，有效滿足全晶片驗證需求；此外也提供整合型的 AMS 驗證環境，利用一組共通的輸入、輸出、裝置模型和除錯模式，大幅簡化了使用方法。

本課程將介紹如何使用 CustomSim 來快速完成電路模擬，無論是 Full-custom 或 Cell-based 電路設計均可以使用，並且也會介紹使用本中心提供的後段模擬 (Post-layout Verification System，簡稱 PVS) 環境，讓利用本中心提供 CBDK 的設計者可透過 PVS 環境，來完成數位電路的 Post-layout 電路模擬與驗證。

## 課程大綱

1. Introduction
2. Inputs
3. Stimulus
4. Output & Command File
5. Simulation Algorithms & Modes
6. Interactive Mode Debug
7. Verilog-A
8. CustomSim - VCS
9. Timing Analysis
10. Power Analysis
11. Other Useful Commands
12. Queue system for CustomSim in TSRI

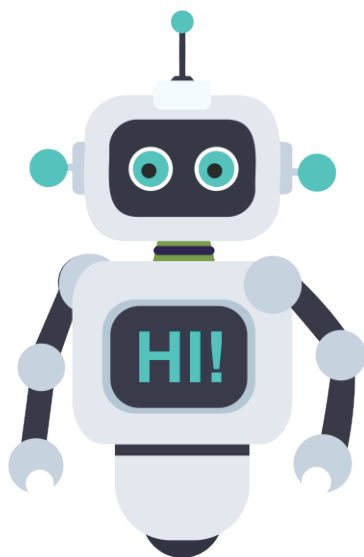
## 修課條件

對 Full-custom design flow 與 Cell-based design flow 都有基本了解者為佳，建議先修下列課程：

1. C004 Full-Custom IC Design Concepts
2. C101 Cell-based IC Implementation and Verification
3. C106 Cell-Based IC Physical Design Verification with Innovus

## 報名須知

1. 本課程開放學術界及一般人士會員報名。
2. 本課程不接受代理上課。
3. 出席率 ( 以簽到 / 退計算 ) 「全勤」且於期限內完成課後問卷填寫者，本中心將發予「訓練證書」。



## C111 Cell-Based IC Physical Design and Verification with IC Compiler

本課程之規劃，係為因應 Cell-Based Back-End( 後段 ) 設計基礎課程，教導學員將合成完的 Gate-level netlist ，經過 APR 實作流程，產生晶片下線所需 GDSII 。 IC Compiler 為 Synopsys 取代 Astro 之新一代後端實體解決方案， IC Compiler 較先前 Astro 減少許多繁雜的步驟，能更有效率將晶片實現完成，且 IC Compiler 之操作介面與 TCL 語法繼承合成軟體 Design Compiler ，讓使用者從 Synthesis 到 APR 的設計實現流程，有一慣性的操作方法，並能更快熟悉實現流程。

### 課程大綱

1. Introduction
2. Design Setup & Basic Flow
3. Design Planning
4. Placement
5. Clock Tree Synthesis
6. Routing and Crosstalk

7. Chip Finishing and DFM
8. Post-Layout Verification

### 修課條件

建議先修課程：

1. 數位邏輯設計
2. 超大型積體電路設計
3. Cell-based design concept
4. C102 Verilog
5. C104 Logic Synthesis with Design Compiler

### 報名須知

1. 本課程開放學術界及一般人士會員報名。
2. 本課程不接受代理上課。
3. 出席率 ( 以簽到 / 退計算 ) 「全勤」且於期限內完成課後問卷填寫者，本中心將發予「訓練證書」。

## C112 Cell-Based IC Physical Design and Verification with IC Compiler II

本課程使用 Synopsys IC Compiler II 軟體，教導學員將合成完的 Gate-level netlist，經過 APR 實作流程，產生晶片下線所需 GDSII。IC Compiler II 軟體對於先進製程，有更佳完善的支援。課程內容為基本 APR 流程說明、軟體操作、讓使用者完成符合 PPA(Performance、Power、Area) 的晶片。

### 課程大綱

1. Introduction
2. Design Setup
3. Floorplan
4. Placement
5. Clock Tree Synthesis
6. Routing
7. DRC/LVS

## 修課條件

1. 限學術界會員
2. 建議先修課程：
  - (1) 數位邏輯設計
  - (2) 超大型積體電路設計
  - (3) Cell-based design concept
  - (4) C102 Verilog
  - (5) C104 Logic Synthesis with Design Compiler

## 報名須知

1. 本課程限學術界會員報名。
2. 本課程不接受代理上課。
3. 出席率 ( 以簽到 / 退計算 ) 「全勤」且於期限內完成課後問卷填寫者，本中心將發予「訓練證書」。

## C113 Cell-Based IC Physical Design and Verification with IC Compiler II (Lab: ADFP – TSMC 16nm)

銜接 Logic Synthesis with Design Compiler (Lab: ADFP – TSMC 16nm) 課程，讓學生可以使用 ADFP-TSMC 16nm 製程，做完整 Cell-based 晶片設計，課程內容會說明在 16 nm FinFet 製程，在 APR 必需要注意的 Design rule。

### 課程大綱

1. Introduction
2. Design Setup
3. Floorplan (with Flip-Chip)
4. Placement
5. Clock Tree Synthesis
6. Routing
7. DRC/LVS

Labs : 全部採用 ADFP-TSMC 16nm 實作



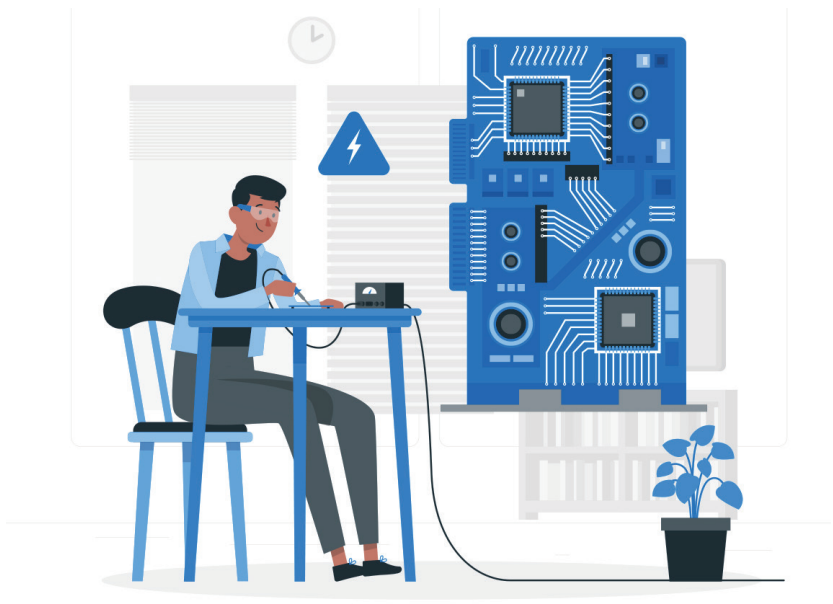
## 修課條件

1. 限學術界會員
2. 需備有本國籍學界身份證明文件
3. 建議先修課程：
  - (1) 數位邏輯設計
  - (2) 超大型積體電路設計
  - (3) Cell-based design concept
  - (4) C102 Verilog
  - (5) C104 Logic Synthesis with Design Compiler

## 報名須知

1. 本課程限學術界會員報名，報名時須上傳學界身份證明文件，若未備有證明文件即無法報名。證明文件說明如下 ( 請擇一提供 )：
  - (1) 蓋有本年度註冊章之學生證正反面影本。
  - (2) 若學生證無註冊章，則請系所蓋章加註：確認您為在學學生或請您申請在學證明。
  - (3) 教師證或任何可證明您目前為教師身份之任何文件。
  - (4) 若無以上相關文件者，請提供可證明您目前為學界身份之任何文件或請您的指導教授協助填寫學界身份證明表 ( 表格請至本中心網頁 / 教育訓練 / 晶片設計課程報名下載 )。

2. 本課程含 ADFP 製程資料內容，每位完成報名學員於上課前皆須先完成簽署「製程資料授權使用切結書」或「製程及元件庫資料授權使用切結書」。
3. 本課程不接受代理上課。
4. 出席率 (以簽到 / 退計算) 「全勤」且於期限內完成課後問卷填寫者，本中心將發予「訓練證書」。



## C114 MATLAB & Simulink 教育訓練 進階課程 - Mixed Signal Design and Verification Flow



This workshop will equip you to:

1. Learn to capture your AMS specifications in a dynamic environment
2. Rapidly iterate on critical scenarios impacting your architectural decisions
3. Bring non-linearities into your dynamic Analog Mixed-Signal environment
4. Develop reusable testbenches

### 課程大綱

1. Accessing MATLAB from Cadence Virtuoso
2. Simulink Fundamentals
3. Generating SystemVerilog from a Simulink subsystem
4. Co-simulation between Simulink and AMS Designer
5. optional : MATLAB Fundamentals

### 修課條件

1. Mixed signal architecture designer
2. Mixed signal circuit design engineer
3. Mixed signal verification engineer

### 報名須知

1. 本課程開放學術界及一般人士會員報名。
2. 本課程不接受代理上課。
3. 出席率 ( 以簽到 / 退計算 ) 「全勤」且於期限內完成課後問卷填寫者，本中心將發予「訓練證書」。

## C121 Siemens EDA HLS Flow for AI Applications

Catapult 高階合成 (High-level Synthesis, HLS) 使用 C++/C/SystemC 高階語法描述硬體架構，並藉由時脈與微架構的設置，工具將自動做管線排程 (Pipelining)，最終產生效能 / 功耗 / 面積 (PPA) 最佳化的 RTL (Verilog/VHDL)。在面對日趨複雜的演算法，如：AI、5G、影像處理等領域，相較於手寫 RTL，HLS 方案可節省約一半以上的開發與驗證時間而且達到接近或更好的 PPA，因此，近幾年來 Nvidia, Google, Facebook, Nokia, MediaTek, NovaTek 等公司已導入 HLS 解決方案。本課程將會介紹 HLS 基本概念、Catapult C++ 流程、算法 C++ 到 HLS C++ 的實現、AI 加速器實現。

### 課程大綱

1. Basic HLS concepts
2. Catapult C++ flow
3. From algorithm C++ to HLS C++
4. An AI accelerator implementation

### 修課條件

1. C/C++
2. Verilog

### 報名須知

1. 本課程開放學術界及一般人士會員報名。
2. 課程不接受代理上課。
3. 出席率 ( 以簽到 / 退計算 ) 「全勤」且於期限內完成課後問卷填寫者，本中心將發予「訓練證書」。

## C123 以 HLS 快速開發 AI 硬體架構 (Catapult HLS)

Catapult 高階合成 (High-level Synthesis, HLS) 使用 C++/C/SystemC 高階語法描述硬體架構，並藉由時脈與微架構的設置，工具將自動做管線排程 (Pipelining)，最終產生效能 / 功耗 / 面積 (PPA) 最佳化的 RTL (Verilog/VHDL)。在面對日趨複雜的演算法，如：AI、5G、影像處理等領域，相較於手寫 RTL，HLS 方案可節省約一半以上的開發與驗證時間而且達到接近或更好的 PPA，因此，近幾年來 Nvidia, Google, Facebook, Nokia, MediaTek, NovaTek 等公司已導入 HLS 解決方案。本課程將會介紹 HLS 基本概念、Catapult C++ 流程、以 HLS 實現 AI 加速器。

### 課程大綱

1. Basic HLS concepts
2. Catapult C++ flow
3. An AI accelerator implementation

### 修課條件

1. C/C++
2. Verilog

### 報名須知

1. 本課程開放學術界及一般人士會員報名。
2. 課程不接受代理上課。
3. 出席率 ( 以簽到 / 退計算 ) 「全勤」且於期限內完成課後問卷填寫者，本中心將發予「訓練證書」。



## C130 Jasper Formal Property Verification

在這個設計複雜度不斷提升的時代，有效提供客戶高品質 SoC 設計將面臨挑戰。Cadence 將形式驗證 (Formal Verification) 技術的精華整合至單一 Jasper 平台，並連結模擬、仿真、除錯與驗證管理，建立綜合性解決方案來因應此項挑戰，以改善設計品質與效率。

在「Jasper Formal Property Verification」訓練課程中，內容包含形式驗證及 SystemVerilog Assertion (SVA) 的基本介紹。Jasper 為 Cadence 以應用為基礎 (application based) 的形式驗證平台，本訓練課程將進一步以 Jasper 為實際的範例操作，協助學生瞭解形式驗證在數位電路前段的設計與驗證流程中的各種應用。

### 課程大綱

1. Formal Property Verification (FPV): 採用 SVA 驅動強大的尋錯引擎
2. Formal Coverage Analysis (COV): 分析形式驗證的完整性

3. Sequential Equivalence Checking (SEC): 兩個非狀態匹配設計間忽略執行順序差異的等價性驗證
4. Superlint: 在 RTL 開發過程中對設計進行靜態分析，檢查設計錯誤和違規情況，從而縮短設計和驗證週期

### 修課條件

無

### 報名須知

1. 本課程開放學術界及一般人士會員報名。
2. 本課程不接受代理上課。
3. 出席率 (以簽到 / 退計算) 「全勤」且於期限內完成課後問卷填寫者，本中心將發予「訓練證書」。

## C131 Stratus HLS: SystemC-to-RTL 高階合成晶片設計流程

本課程適合有志於從事數位晶片設計的同學、想跨入晶片設計領域的演算法開發人員，以及想提升設計效率與生產力的業界人士。

高階合成是一種以 SystemC/C++ 為基礎的晶片設計方法。此方法大幅降低程式碼行數、較容易維護與除錯、能更有效率的做電路功能驗證。對於晶片設計人員來說，能提升至少 2 倍的生產力。此方法亦能讓演算法開發人員進入晶片設計領域，成為跨領域人才。高階合成能自動進行管線 (Pipeline) 排程，運算資源共享，特別適合於運算複雜度高的設計如影像處理、影像辨識等。目前世界級大廠如 Intel, Google, Nvidia, Qualcomm, Mediatek, Realtek 等，皆已導入高階合成設計方法，提升晶片設計效率。

一起進入高階合成的世界吧。

### 課程大綱

1. 可合成 SystemC 語法介紹
2. 高階合成原理
3. Stratus HLS 流程與常用指令介紹

### 4.Stratus HLS 實作

#### 修課條件

1. 需具備 C/C++ 基礎
2. 建議先修課程：  
(1)C102 Verilog

#### 報名須知

1. 本課程開放學術界及一般人士會員報名。
2. 本課程不接受代理上課。
3. 出席率 ( 以簽到 / 退計算 ) 「全勤」且於期限內完成課後問卷填寫者，本中心將發予「訓練證書」。

## C203 Design of RF CMOS IC

本課程將從射頻電路的入門基本知識開始講述，包含史密斯圖與微波電路之匹配，及射頻電路之規格與特性，再進入低雜訊放大器、混波器、振盪器與功率放大器之電路設計。此課程將可提供研發人員對射頻電路有基本的認識與了解，使其在遇到問題時能知道如何解決，以及在設計電路時有基本的法則可依循。

### 課程大綱

1. Basic concepts of RF IC design
2. Low Noise Amplifier
3. Mixer
4. Voltage-Controlled Oscillator
5. Power Amplifier

### 修課條件

無。

### 報名須知

1. 本課程開放學術界及一般人士會員報名。
2. 本課程不接受代理上課。
3. 出席率 (以簽到 / 退計算) 「全勤」且於期限內完成課後問卷填寫者，本中心將發予「訓練證書」。



## C204 Virtuoso ADE and Spectre

本課程在介紹 Cadence ( 益華電腦 ) 公司所開發之 Virtuoso Analog Design Environment ( 以下簡稱 ADE ) 與電路模擬軟體 Spectre 的使用方式。課程主要介紹如何利用 ADE 搭配 Spectre 進行類比電路模擬與模擬結果分析。

本課程採用 Virtuoso IC6.1 以上版本，配合 0.18um CMOS 製程資料進行範例解說與上機練習，使模擬環境更具實務性，以期讓學員能在短時間內了解 ADE 上的電路模擬流程。

此為 Full Custom IC Design 電路模擬基礎課程，建議初學者修習本課程以了解如何利用 Cadence Virtuoso 設計平台與電路模擬方式。

### 課程大綱

1. Introduction of Virtuoso Analog Design Environment
2. Analog Simulation Setup
3. Spectre Transient Analysis
4. Spectre DC Analysis
5. Spectre AC Analysis

6. Spectre S-parameter (SP) Analysis
7. Monte-Carlo Analysis
8. Post-Layout Simulation using spectre(Hierarchy Editor)

### 修課條件

1. 限學術界會員
2. 需備有本國籍學界身份證明文件

### 報名須知

1. 本課程限學術界會員報名，報名時須上傳學界身份證明文件，若未備有證明文件即無法報名。證明文件說明如下 (請擇一提供)：
  - (1) 蓋有本年度註冊章之學生證正反面影本。
  - (2) 若學生證無註冊章，則請系所蓋章加註：確認您為在學學生或請您申請在學證明。
  - (3) 教師證或任何可證明您目前為教師身份之任何文件。
  - (4) 若無以上相關文件者，請提供可證明您目前為學界身份之任何文件或請您的指導教授協助填寫學界身份證明表 (表格請至本中心網頁 / 教育訓練 / 晶片設計課程報名下載)。



2. 本課程含 U18 製程資料內容，每位完成報名學員於上課前皆須先完成簽署「製程資料授權使用切結書」或「製程及元件庫資料授權使用切結書」。
3. 本課程不接受代理上課。
4. 出席率 ( 以簽到 / 退計算 ) 「全勤」且於期限內完成課後問卷填寫者，本中心將發予「訓練證書」。



## C205 ADS Fundamentals

本課程為講解 ADS (Advanced Design System) 電路模擬軟體，在高頻通訊系統及電路設計上的模擬、分析與應用之基礎課程，包含 ADS 環境及基礎操作之介紹。在課程中，讓學員 Step-by-Step 實機操作，以熟悉 ADS 軟體操作環境在電路模擬及通訊系統中的基本功能。期望學員在完成此課程後，能快速地使用 ADS 完成電路設計與高頻通訊系統之研發工作。

### 課程大綱

1. Using the Workspace
2. Libraries, Models and Data
3. Linear Simulation Tools
4. Optimization and Matching
5. Basics of EM Simulation
6. Non-linear Simulation Tools
7. Harmonic Balance Techniques
8. Circuit Envelop and Modulated Sources

## 修課條件

限學術界會員

## 報名須知

1. 本課程限學術界會員報名。
2. 本課程不接受代理上課。
3. 出席率 ( 以簽到 / 退計算 ) 「全勤」且於期限內完成課後問卷填寫者，本中心將發予「訓練證書」。

### C207 ADS Momentum

ADS (Advanced Design System) 為 Keysight 之電路與系統模擬軟體，其中的 Momentum 為其電磁分析工具。本課程介紹 Momentum 的原理及使用方法，適合學習電磁模擬的入門者，建議先參加 ADS 入門課程，以達到較佳的課程銜接及介面操作的熟悉度。課程中，以被動元件的佈局範例來解說軟體的使用，如平面結構的 Bandpass Filter、IC 封裝、平面天線、Wilkinson Splitter、物理架構參數化、CPW (Coplanar Waveguide) 架構及 CPW Filter 等，並提供學員實際上機練習的機會。

#### 課程大綱

1. 使用者介面：ADS 及 Momentum 介面
2. 模式比較：以 Momentum RF / Momentum Microwave 不同模式分析 RF IC 封裝
3. 佈局練習及 EM 分析：含 2D 佈局練習及基板材質的設定
4. 共同模擬：EM Component (EMC) 的產生及使用於 ADS-EM 的共同模擬
5. 物理架構參數化：可用於參數掃描、最佳化等

6. CPW 架構的設計及模擬：50ohm CPW 的設計及 Strip 設定的模擬
7. CPW Slot 設定：Slot 設定的模擬，以加速模擬
8. CMOS 製程環境電磁模擬分析

### 修課條件

1. 限學術界會員
2. 建議先修課程：
  - (1) C205 ADS Fundamentals

### 報名須知

1. 本課程限學術界會員報名。
2. 本課程不接受代理上課。
3. 出席率 ( 以簽到 / 退計算 ) 「全勤」且於期限內完成課後問卷填寫者，本中心將發予「訓練證書」。

## C210 High-Frequency Communication System Measurement

對於高頻電路設計者，除了提升電路設計能力，也必須增進系統相關知識，如果未來自己設計的電路需要量測一些系統規格，如 ACPR 或 EVM 等規格，更需要事先了解系統量測方法及量測項目，以免電路設計出來，找不到對應的量測方法。所以本課程用較為淺顯易懂的方式，介紹高頻電路設計者，所應該具有的基本高頻通訊系統及系統量測觀念，並以 QPSK 調變訊號為例子，介紹如何利用 SystemVue 產生 QPSK 訊號，並且載入向量訊號產生器，真實產生 QPSK 射頻調變訊號，並利用向量訊號分析儀及軟體進行解調分析。因應目前寬頻高速資料傳輸的需求，課程中也會介紹 OFDM、5G 基本觀念，最後，也會利用 power amplifier 為範例，講解 WLAN、5G 及 Digital Pre-distortion 之量測。

### 課程大綱

1. Introduction
2. Wideband Modulation Concept

3. QPSK Modulation Signal Generation
4. QPSK Modulation Signal Analysis
5. Examples

### 修課條件

建議先修課程：微波工程

### 報名須知

1. 本課程開放學術界及一般人士會員報名。
2. 本課程不接受代理上課。
3. 出席率 ( 以簽到 / 退計算 ) 「全勤」且於期限內完成課後問卷填寫者，本中心將發予「訓練證書」。

### C211 PADS PCB Schematic and Layout

所有電子系統產品都會用到 PCB；電子電機工程師不論是自行繪製 PCB 或是需要與 PCB 佈局工程師溝通，都必須使用到 PCB 軟體及術語，因此熟悉 PCB 軟體與其設計流程成爲電子電機工程師必備的基本訓練。

本課程教授 Siemens 所發展的 PADS 工具（即原來頗具盛名的 Power PCB 工具），PADS 近年來已經成爲全球市佔率第一的 PCB 設計佈局軟體，爲國內外主要系統設計大廠、晶片設計公司採用於 PCB 設計，究其主因爲 PADS 具備介面容易使用、經過多方量產客戶證實的良好品質和可靠度，以及軟體價格便宜等性質；對使用者而言，因爲建立元件庫程序簡易，因此有助於保存實驗室或公司的智慧財產，延續後續設計。

PADS 雖然操作容易，但可以直接用於複雜 PCB 線路的設計，其佈局軟體中的 Router 功能強大，可以協助工程師快速、正確地佈局，或設定條件由電腦自動地佈局。此外，PADS 已具備衆多高階 PCB 設計軟體的功能，如 PCB 板模擬、高頻高速 DRC、3D DRC、SI/PI 模擬、Thermal 模擬等，也可以與其他軟體進



行格式交換，如匯入 Altium Designer 及 Allegro 這些 PCB 軟體的檔案，及匯出 ODB++ 檔案型式，再由其他軟體匯入進行後處理，如轉出至 ADS Momentum 軟體執行電磁模擬。

## 課程大綱

1. Schematic：PADS Logic，安裝、使用者介面、設計環境設定、圖形文字編輯繪製、零件庫、線路圖繪製、PCB 設定與規範、資料輸出、由零件庫更新、其他連結軟體介面。
2. Layout：User Interface ( 使用者介面 )、Drafting ( 繪圖 )、Library ( 零件庫 )、Importing and Design Setups ( 匯入及設計設定 )、Design Rules ( 設計規範 )、Placement ( 零件配置 )、Routing ( 繞線 )、Copper Generation ( 鋪銅 )、Design Verification ( 設計驗證 )、Output Generation ( 輸出產生 )、Interface ( 其他連結軟體介面 )。
3. Router：Interactive Manual Routing ( 互動式手動繞線 )、Interactive Auto Routing ( 互動式自動繞線 )、Auto Routing ( 完全自動繞線 )。

### 修課條件

1. 限學術界會員
2. 建議先修課程：電路學

### 報名須知

1. 本課程限學術界會員報名。
2. 本課程不接受代理上課。
3. 出席率 ( 以簽到 / 退計算 ) 「全勤」且於期限內完成課後問卷填寫者，本中心將發予「訓練證書」。



## C212 化合物半導體 MMIC 功率放大器設計實作課程

本課程以 TSRI 所提供的穩懋半導體 GaN12 製程進行 RF 功率放大器原理介紹與詳細的設計流程教學，此課程將搭配大量的實機操作教學以理解理論與實作之間的相互配合，使用 Keysight ADS 軟體做為主要的設計、電路模擬、布局與 EM 模擬，再使用 Cadence Virtuoso 之 Assura 進行 DRC 檢查。學員於課程內，將學會如何從零開始進行 MMIC 功率放大器的電路設計、模擬軟體操作、EM 模擬操作，並完成布局與排除 DRC 問題，從而獲得獨自進行 MMIC 功率放大器下線的能力。

### 課程大綱

1. 訂定規格與電路架構。
2. 檢查並嘗試操作 PDK。
3. 挑選電晶體。
4. Load Pull 操作。
5. 匹配電路設計。
6. 大訊號模擬。
7. Layout 與 EM 模擬。

### 8. DRC 檢查。

#### 修課條件

1. 限學術界會員
2. 需備有本國籍學界身份證明文件
3. 建議先修課程：
  - (1) C205 ADS Fundamentals
  - (2) C207 ADS Momentum

#### 報名須知

1. 本課程限學術界會員報名，報名時須上傳學界身份證明文件，若未備有證明文件即無法報名。證明文件說明如下 ( 請擇一提供 )：
  - (1) 蓋有本年度註冊章之學生證正反面影本。
  - (2) 若學生證無註冊章，則請系所蓋章加註：確認您為在學學生或請您申請在學證明。
  - (3) 教師證或任何可證明您目前為教師身份之任何文件。
  - (4) 若無以上相關文件者，請提供可證明您目前為學界身份之任何文件或請您的指導教授協助填寫學界身份證明表 ( 表格請至本中心網頁 / 教育訓練 / 晶片設計課程報名下載 )。

2. 本課程含 GaN12 製程資料內容，每位完成報名學員於上課前皆須先完成簽署「製程資料授權使用切結書」或「製程及元件庫資料授權使用切結書」。
3. 本課程不接受代理上課。
4. 出席率 ( 以簽到 / 退計算 ) 「全勤」且於期限內完成課後問卷填寫者，本中心將發予「訓練證書」。



### C213 下世代非揮發性記憶體陣列 設計與量測課程

AIoT 的快速發展大幅提升海量運算的需求與其架構的不斷創新，AIoT 產品訴求架構簡單、數據儲存時間長、低耗能、資料耐久度高、高速計算等特點，而下世代非揮發性新興記憶體符合前述需求，將是 AIoT 產品不可或缺的核心技術。

本課程以一個非揮發性電阻式記憶體讀寫陣列為例，講述一個一站式平台，從電路設計、佈局規劃、EVB 設計、自動化量測環境、量測數據分析等主題，課程內容並可再應用於下世代非揮發記憶體中之磁阻式記憶體陣列，將可以有效地縮短使用者於設計開發及驗證測試的時間。

#### 課程大綱

1. 下世代非揮發性新興記憶體簡介
2. 記憶體單元設計、記憶體陣列設計、讀寫電路設計、EVB 考量、自動化程式開發
3. 量測資料呈現與統計分析

## 修課條件

限學術界會員

## 報名須知

1. 本課程限學術界會員報名。
2. 本課程不接受代理上課。
3. 出席率 ( 以簽到 / 退計算 ) 「全勤」且於期限內完成課後問卷填寫者，本中心將發予「訓練證書」。

## C214 量子電腦工程 (Quantum Computer Engineering)

於三天上課時間內，完成量子電腦工程課程大綱所列之課程，導引學生瞭解量子科學、半導體製造、微波電路設計、量子資訊等領域知識之關連。

### 課程大綱

1. Foreword and Introduction;
2. Mathematics: Reviewing Linear Algebra and Quantum Formalism;
3. Key Concepts: Bloch Representation, Hamiltonian, the Schrödinger Equation;
4. DiVincenzo Criteria, Qubit Technology, Initialization, Quantum Gates;
5. Qubit Readout with Microwave Circuits;
6. Conclusion

### 修課條件

無



## 報名須知

1. 本課程開放學術界及一般人士會員報名。
2. 本課程不接受代理上課。
3. 出席率 (以簽到 / 退計算) 「全勤」且於期限內完成課後問卷填寫者，本中心將發予「訓練證書」。



## C515 The Digital IC Testing with 93000 Series

介紹數位晶片測試之基本概念，ADVANTEST V93000 測試機台的標準測試流程，以及 TSRI 採用之改良版測試流程與測試實驗室規則，以使需要數位晶片測試的新人可以立即上手，並降低出錯的機率。

### 課程大綱

1. Introduction of Digital IC Testing
2. ADVANTEST V93000 ATE
3. Digital Test Flow of ADVANTEST V93000
4. TSRI Test Flow and Case Study
5. Rules of Test Lab

### 修課條件

1. 限學術界會員
2. 預定進行晶片下線，有需要進行測試的同學

## 報名須知

1. 本課程限學術界會員報名。
2. 本課程不接受代理上課。
3. 出席率 ( 以簽到 / 退計算 ) 「全勤」且於期限內完成課後問卷填寫者，本中心將發予「訓練證書」。



### C516 數位晶片內嵌式記憶體瑕疵偵測原理與實作

隨著半導體製程技術不斷的提升，IC 設計規模與時脈愈來愈高，加上現今的應用，IC 設計對於記憶體（RAM、ROM、Embedded Flash、DRAM、Embedded DRAM）需求的比重愈來愈大，如人工智慧、5G、TV、網通、物聯網、挖礦機、車用電子、智慧語音裝置等新一代系統晶片 (SoC) 內的記憶體需求量都顯著增加。當然意味著更大的晶片面積，對於效能與耗電的要求更加嚴謹。

對於 IC 生產時能否有效快速檢測出不良品的要求更加重視，如何在 IC 設計加入有效的 BIST (Built-in self testing) 是一個重要的課題，本課程將對說明如何在 IC 設計過程中快速且精確的加入 BIST 測試電路來驗證所有的內嵌式記憶體。上完這門課，將會習得如何使用 EZ-BIST 工具產出記憶體測試電路。

## 課程大綱

### 芯測公司簡介及 EZ-BIST 介紹

1. iSTART product information
2. START™ v3 (SoC Memory Test and Repair Tool)
3. EZ-BIST (Compact system embedded SRAM test tool)
4. ATE Test Pattern Automation

### 上機操作 EZ-BIST tool 流程教學

1. 記憶體測試介紹
2. BIST 介紹
3. EZ-BIST 講解與實際操作

## 修課條件

修習過數位邏輯電路相關課程

## 報名須知

1. 本課程開放學術界及一般人士會員報名。
2. 本課程不接受代理上課。
3. 出席率 (以簽到 / 退計算) 「全勤」且於期限內完成課後問卷填寫者，本中心將發予「訓練證書」。

### C601 CMOS MEMS sensor design concept

CMOS MEMS sensor design concept 課程分爲兩大部分進行授課，一爲 CMOS MEMS 晶片製作流程，二爲 CMOS MEMS 設計與驗證流程。

1. CMOS MEMS 製作流程將從微機電 (MEMS) 技術發展史出發，將介紹不同學界 / 業界之 MEMS 製程技術，並針對其特點進行優缺點分析；此外也將介紹 CMOS 之製作流程並擴展至 CMOS MEMS 製程技術；最後將介紹 TSRI 所提供之代工服務，針對服務內容及代工廠之製程規範進行講解，讓學員更進一步了解代工廠之運作方式與下線方法。
2. CMOS MEMS 設計流程將介紹 TSRI 所使用之 CMOS MEMS 平台設計流程，從設計概念到如何實體製作出晶片並進行後端量測驗證，利用系統架構圖讓學員更清楚瞭解微機電系統概念。

首先將針對不同種類之 MEMS 元件進行介紹及 MEMS 元件之應用場域，其中包含慣性感測器、溫度感測器、振盪器等，之後將利用集總系統 (Lumped system) 之概念，針對 MEMS 元件進行設計，其中包含方程式與 MEMS 元件之物理意義轉換關係；此外，透過上述

方程式將擴展至如何利用有限元素分析 (FEM) 軟體進行設計驗證，並透過簡單例子說明模擬結果之解析方法；此外也針對不同 MEMS 元件驅動 / 感測方式進行講解，並利用不同例子進行其優缺點分析。

最後將介紹 TSRI MEMS 量測實驗室之量測服務，其機台包含電子束顯微鏡、加速度震動量測平台、白光干涉儀、同平面 / 出平面震動分析儀、單軸定位旋轉系統、全聚焦圖像拼接顯微鏡，針對上述機台之基礎原理與應用場域及機台規範進行解說。

透過本課程可讓初學者對於 CMOS MEMS 從設計端至製程端有進一步之認識與了解，並透過 TSRI 之 CMOS MEMS 平台流程，能讓學員更清楚瞭解 CMOS MEMS 之系統流程，因此適合對於微機電有熱誠之學員來參加此課程。

此課程與「晶片設計實作課程 -CMOS MEMS 晶片實作與感測電路 IP 整合」之差異，在於 Lab 上機課程的範例不同，會介紹更多不同的 MEMS 傳感器而不像實作課程著重在加速度計之設計與下線。本課程主要帶領學生熟悉 Full customs 的 MEMS 模擬與設計，其中觀念與下線導引的介紹比重偏高，因此可藉由本課程的範例練習幫助初學者快速熟悉 MEMS 傳感器的設計。

### 課程大綱

1. 申請方式及相關資源
2. Design concepts
3. CMOS process flow
4. CMOS compatible post process
5. Microstructures and layout issues
6. Material properties
7. Fundamental cells
8. EDA/CAD tools

### 修課條件

建議理工背景對微機電技術有興趣者。

### 報名須知

1. 本課程開放學術界及一般人士會員報名。
2. 本課程不接受代理上課。
3. 出席率 ( 以簽到 / 退計算 ) 「全勤」且於期限內完成課後問卷填寫者，本中心將發予「訓練證書」。



## C610 OPAMP Design Techniques

課程詳細介紹單級 / 雙級運算放大器之設計與規格訂定、頻率補償技巧、雜訊之考量以及在 Cadence 與 Synopsys 設計環境上之模擬技巧與佈局該注意之事項。此外也介紹在先進製程與低電壓應用環境上，運算放大器架構的創新與設計技巧。最後在每個課程單元結束後還設計相關之實作課程，讓學員們可以從熟悉單一顆電晶體的 I/V 特性並將其應用到運算放大器與感測讀取電路之設計上。

### 課程大綱

1. 電晶體特性分析
2. 單級運算放大器之偏壓與尺寸之設計技巧
3. 雙級運算放大器穩定度與設計技巧
4. 偏壓與共模輸出迴授電路設計
5. 雜訊與製程漂移模擬技術
6. 先進製程與低電壓應用之放大器架構與設計實例
7. Cadence/Synopsys 設計環境下之放大器驗證實例

### 修課條件

1. 對類比電路有興趣者
2. 修習過電子學、類比電路設計或相關課程者為佳。
3. 建議先修課程：
  - (1) 電子學
  - (2) 類比電路設計

### 報名須知

1. 本課程開放學術界及一般人士會員報名。
2. 本課程不接受代理上課。
3. 出席率 ( 以簽到 / 退計算 ) 「全勤」且於期限內完成課後問卷填寫者，本中心將發予「訓練證書」。



## C612 Switched-Capacitor Circuit Design Techniques

課程詳細介紹交換式電容電路之設計技巧包含取樣的原理、OP 的規格訂定、開關之設計、雜訊之考量以及模擬技巧。此外，課程以一個二階三角積分類比 / 數位轉換器為實作範例，讓學員們可以從最簡單之取樣維持電路開始熟悉，進而習得交換式電容電路設計之注意事項與其進階 ADC 電路之設計經驗。

### 課程大綱

1. 取樣原理與分析
2. 交換式電容電路介紹
3. 交換式電容電路設計技巧
4. 比較器設計介紹
5. Cadence/Synopsys 設計環境下之 SC 電路模擬技巧

### 修課條件

1. 對類比電路有興趣者
2. 修習過類比電路設計或熟悉運算放大器設計流程者

為佳。

3. 建議先修課程：

(1) 類比電路設計

(2) C610 OPAMP Design Techniques

### 報名須知

1. 本課程開放學術界及一般人士會員報名。
2. 本課程不接受代理上課。
3. 出席率 ( 以簽到 / 退計算 ) 「全勤」且於期限內完成課後問卷填寫者，本中心將發予「訓練證書」。

## C704 TN28HPC+ 製程 -Full-Custom IC design flow

本中心 (TSRI) 提供之 TN28HPC+ 為 28nm CMOS 製程，為讓設計者了解如何於本中心的伺服器上使用該製程資料並進行電路設計，本課程包含工作站登入使用、TN28HPC+ 製程資料與查閱方式、佈局特別注意事項等。課程亦將以 Full Custom IC 設計流程為主，教導學員正確設定與使用 iPDK ( 含 Cadence IC6.1, Synopsys Laker L4/Custom Compiler 兩大設計平台 )，並讓學員實際上機練習增強學習效果。

★請注意：本課程內容涉及 TN28HPC+ 製程資料，不提供紙本講義，提供 PDF 電子檔讓學員自行存檔至學員帳號下使用 (PDF 電子檔亦不可匯出)。

### 課程大綱

1. Brief Introduction of TSRI Security Laboratory
2. Introduction of TN28HPC+ Technology
3. Brief comparison of TN28HPC+ and TN28HPM
4. Design Environment of TN28HPC+ (incl. iPDK)
5. Layout and DRC notification
6. Dummy Fill insertion

### 修課條件

1. 限學術界會員
2. 需備有本國籍學界身份證明文件
3. 具有 Cadence -Virtuoso、Synopsys Laker/Custom Compiler、和 Calibre-DRC/LVS 軟體使用經驗

### 報名須知

1. 本課程限學術界會員報名，報名時須上傳學界身份證明文件，若未備有證明文件即無法報名。證明文件說明如下 ( 請擇一提供 )：
  - (1) 蓋有本年度註冊章之學生證正反面影本。
  - (2) 若學生證無註冊章，則請系所蓋章加註：確認您為在學學生或請您申請在學證明。
  - (3) 教師證或任何可證明您目前為教師身份之任何文件。
  - (4) 若無以上相關文件者，請提供可證明您目前為學界身份之任何文件或請您的指導教授協助填寫學界身份證明表 ( 表格請至本中心網頁 / 教育訓練 / 晶片設計課程報名下載 )。
2. 本課程含 TN28HPC+ 製程資料內容，每位完成報名學員於上課前皆須先完成簽署「製程資料授權使用切結書」或「製程及元件庫資料授權使用切結書」。
3. 本課程不提供紙本講義及電子檔寄發。PDF 電子檔

限於學員帳號下使用。

4. 本課程不接受代理上課。
5. 出席率 (以簽到 / 退計算) 「全勤」且於期限內完成課後問卷填寫者，本中心將發予「訓練證書」。



### C705 TN16FFC 製程 -Full-Custom IC design flow

本中心 (TSRI) 提供之 TN16FFC 為台積電 16nm CMOS FinFET 製程，本課程能夠讓學員了解本中心下線流程、製程注意事項以及 iPDK 的使用，使學員上完課程能夠自己順利完成相關環境設定作業。

本課程一開始介紹從平面電晶體到立體電晶體的演進，在對 FinFET 製程有初步了解後，進而比較平面式電晶體與立體電晶體在佈局上的共同點和差異點。由於 FinFET 電晶體的結構與平面電晶體不同，FinFET 電晶體設計規則檢查 (Design rule checking, DRC) 除了沿用平面電晶體習知的規範外，新增許多術語，在除錯之前我們必須先有著共同的語言，才能知己知彼的——除錯，課程將帶領學員——來探索其中的奧妙之處，並提供常見的錯誤作為範例。

以設計者的角度而言，FinFET 電晶體之閘級寬度，不在以多晶矽層 (Polysilicon Gate Layer) 覆蓋氧化層 (Gate Oxide Layer) 來表示之，而是以一根一根的鰭狀 (Fin) 的總數量來呈現。除此之外，雖然立體結構在電流控制、面積使用率和功耗效率優於傳統平面式電晶體，但立體式電晶體的模型相較於平面電晶



體也複雜許多，以往長通道的平方律電流公式，已不再適用於立體式電晶體，且寄生的電阻、電容寄生效應也複雜許多，本課程將以 Full Custom IC 設計流程為例，提供模擬時，應注意事項，以降低 Pre-Sim 與 Post-Sim 的差異性，使學員更易著手評估製程的特性與電路設計。課程中，也教導學員利用 Star-RC 完成教導學生完成 RC extraction。

FinFET 佈局除了介紹佈局基本技巧之外，也將介紹一些快速佈局方式，以利學員減少布局時間。為使上課學員能夠充分了解上課內容，將提供實作範例，讓學員依照步驟實際練習，強化對於課程的理解。

## 課程大綱

1. Brief Introduction of FinFET
2. Introduction of 16nm-FFC Technology and Design Environment (include iPDK)
3. Comparison between Planer FET and FinFET
4. Layout and DRM notification
5. 16nm-FFC Simulation Setup and Notification
6. RC Extraction by using Star-RC
7. Advanced Layout Skills.

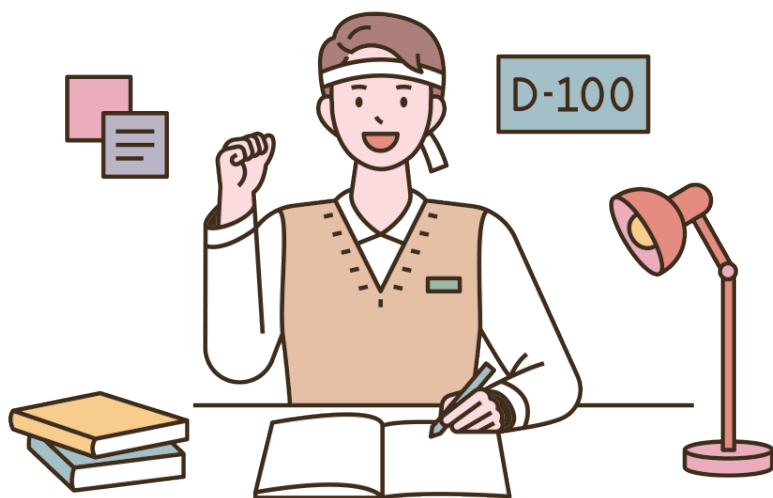
### 修課條件

1. 限學術界會員
2. 需備有本國籍學界身份證明文件
3. 具 有 Cadence -Virtuoso、Synopsys Custom Compiler、和 Calibre-DRC/LVS 軟體使用經驗

### 報名須知

1. 本課程限學術界會員報名，報名時須上傳學界身份證明文件，若未備有證明文件即無法報名。證明文件說明如下 ( 請擇一提供 )：
  - (1) 蓋有本年度註冊章之學生證正反面影本。
  - (2) 若學生證無註冊章，則請系所蓋章加註：確認您為在學學生或請您申請在學證明。
  - (3) 教師證或任何可證明您目前為教師身份之任何文件。
  - (4) 若無以上相關文件者，請提供可證明您目前為學界身份之任何文件或請您的指導教授協助填寫學界身份證明表 ( 表格請至本中心網頁 / 教育訓練 / 晶片設計課程報名下載 )。
2. 本課程含 TN16FFC 製程資料內容，每位完成報名學員於上課前皆須先完成簽署「製程資料授權使用切結書」或「製程及元件庫資料授權使用切結書」。

3. 本課程不接受代理上課。
4. 出席率 (以簽到 / 退計算) 「全勤」且於期限內完成課後問卷填寫者，本中心將發予「訓練證書」。



### C706 ADFP 製程 -Full-Custom IC design flow

為推廣 16nm FinFET 虛擬製程 ( 即 ADFP 製程 ) ，讓學員了解 FinFET 電晶體較傳統 Planar 電晶體在電路設計與全客製化佈局 (Full Custom Layout) 上的差異，本課程以 ADFP 製程為主體，內容涵蓋 FinFET 製程簡介、iPDK 安裝設定、元件 model、電路模擬、FinFET 電晶體佈局、特殊 CAD Layers 與特別 Design Rule 等，介紹 ADFP 製程在全客製化 IC 設計流程。課程並輔以 Lab. 讓學員實際上機練習，增強學習效果。

本課程不僅包含 ADFP 製程設計套件的介紹與說明，同時包含 iPDK 安裝與設定技巧，特別適合未來學校欲開設 FinFET 製程相關課程 / 專題之種子助教 ( 碩 / 博士生 ) ，您可於此課程完整學習 ADFP 製程的 iPDK 設定與使用方式，日後得以應用至相關課程 / 專題。

#### 課程大綱

1. What's ADFP and the package introduction
2. Brief Introduction of FinFET technology.
3. Install/Setup and Usage of the ADFP iPDK

4. Models and Simulation Notice.
5. ADFP FinFET Layout and Special CAD Layers.
6. Special design rule and DRC/LVS verification.

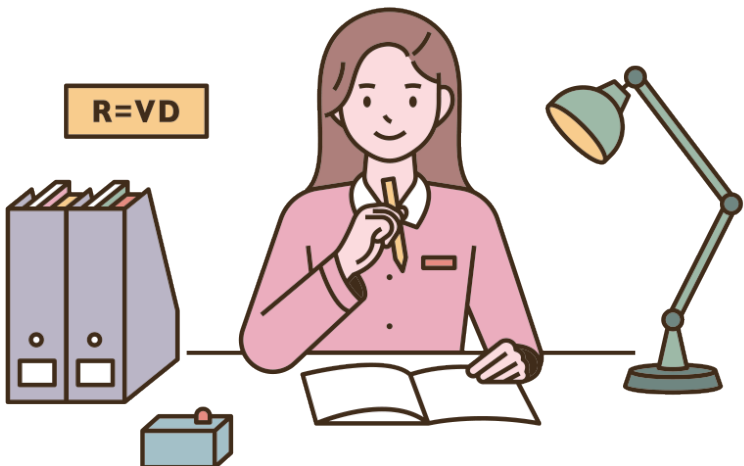
### 修課條件

1. 限學術界會員
2. 需備有本國籍學界身份證明文件
3. 具有 Cadence -Virtuoso、Synopsys Custom Compiler、和 Calibre-DRC/LVS 軟體使用經驗

### 報名須知

1. 本課程限學術界會員報名，報名時須上傳學界身份證明文件，若未備有證明文件即無法報名。證明文件說明如下 ( 請擇一提供 )：
  - (1) 蓋有本年度註冊章之學生證正反面影本。
  - (2) 若學生證無註冊章，則請系所蓋章加註：確認您為在學學生或請您申請在學證明。
  - (3) 教師證或任何可證明您目前為教師身份之任何文件。
  - (4) 若無以上相關文件者，請提供可證明您目前為學界身份之任何文件或請您的指導教授協助填寫學界身份證明表 ( 表格請至本中心網頁 / 教育訓練 / 晶片設計課程報名下載 )。

2. 本課程含 ADFP 製程資料內容，每位完成報名學員於上課前皆須先完成簽署「製程資料授權使用切結書」或「製程及元件庫資料授權使用切結書」。
3. 本課程不接受代理上課。
4. 出席率 (以簽到 / 退計算) 「全勤」且於期限內完成課後問卷填寫者，本中心將發予「訓練證書」。



## C806 天線陣列設計與 3D 電磁模擬實作

近幾年由於 5G 行動通訊以及車用雷達系統的發展，提高對毫米波天線陣列的應用需求，本課程目標將讓學員建立天線陣列的設計觀念，並搭配上機模擬實作完成天線陣列系統設計。本課程著重天線陣列設計的觀念建立，同時介紹毫米波頻段天線的設計與發展。並使用 EMPro 與 ADS 相關電磁模擬軟體進行實作。

### 課程大綱

1. 天線基本原理
2. 天線陣列原理
3. 毫米波天線簡介
4. 微帶天線陣列設計
5. 功率分配網路與阻抗匹配
6. EMPro 上機模擬實作與軟體使用教學

### 修課條件

限學術界會員

### 報名須知

1. 本課程限學術界會員報名。
2. 本課程不接受代理上課。
3. 出席率 (以簽到 / 退計算) 「全勤」且於期限內完成課後問卷填寫者，本中心將發予「訓練證書」。





## C904 AISOC Platform hands-on tutorial

AISOC 為本中心自行整合開發之平台，主要提供學術界進行人工智慧 (AI) 之晶片系統設計，完成 SoC 晶片設計後，您可以使用您已熟知的 Cell-base Design Flow 將整個 SoC 電路一起作 Verilog 模擬，合成，晶片佈局，DRC/LVS 驗證等步驟，最後送至台積電作晶片下線。(製程為 TSMC 28nm, Process 名稱: T28HPM)

學習本課程，您將學會

1. 認識什麼是 AISOC 平台。
2. 如何使用 AISOC 平台。
3. 建構一個 AISOC 系統，其軟硬體的設計概念。
4. 本課程以 Synopsys ARC HS34 為例，學員可運用相同概念去製作以 ARM 處理器或其他處理器為 Base 的 SoC 平台。
5. 如何將自己設計的 AI-IP，依據 AHB or AXI Bus Protocol 掛上 AISOC 平台 (即包 Wrapper 製作方法)
6. 以往 ASIC CHIP 是以 TestBench 輸入欲測試的 Pattern 作 RTL-Simulation，學習完本課程您將學會如何寫 Firmware C code 產生 HEX 檔案，讓

CPU 與自己研發的 AI-IP 一起在 AISOC 平台作 RTL-Simulation。

## 課程大綱

1. Introduction to AISOC Platform
2. How to Use AISOC Platform
3. AMBA Protocol Concept
4. Tool Chain – Firmware Design
5. Example of Integrating an AIIP to SOC
  - (1) Bus Interface Coding
  - (2) Firmware Design (w/ interrupt handler)
  - (3) Huge Data Preparation for SOC Sim
  - (4) RTL Simulation & Verification
6. Future Work – AISOC Roadmap
7. Labs
  - (1) Lab1: RTL simulation of AISOC Platform
  - (2) Lab2: Add an IP to AISOC Platform

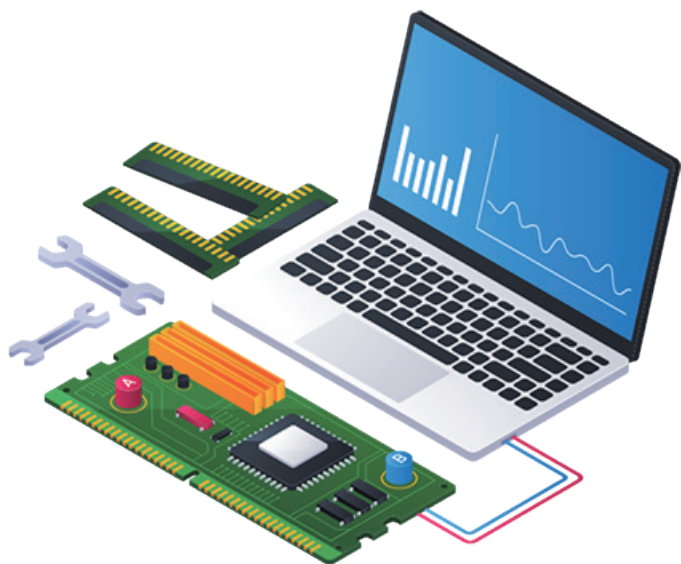
## 修課條件

1. 限學術界會員
2. 已具備 Verilog Coding 能力
3. 對 C 語言有基本概念
4. 略知 Cell-base Design Flow 概念

## 5. 略知基本的計算機概念

### 報名須知

1. 本課程限學術界會員報名。
2. 本課程不接受代理上課。
3. 出席率 ( 以簽到 / 退計算 ) 「全勤」且於期限內完成課後問卷填寫者，本中心將發予「訓練證書」。



### C908 Silicon photonics passive component measurement course

在本課程中，將引導學員學習矽光子被動元件量測。課程內容包含學習矽光子被動元件量測之基本原理介紹、光波導模態計算、矽光子被動元件之耦合損耗 (coupling loss) 及傳輸損耗 (propagation loss) 量測、波導之光腰量測、光譜特性量測…等介紹。課程中也將針對矽光被動元件進行量測之實機操作訓練，因此課程中將會利用光柵耦合及邊緣耦合方式進行元件量測流程的講解。課程進行將包含理論說明與設備規格說明，同時包含設備使用方式說明。

#### 課程大綱

##### Day1 :

1. 矽光子光波導元件發展簡介
2. 矽光子光波導元件之基礎理論說明
3. 矽光子被動元件量測之實驗流程規劃說明

##### Day2 :

1. TSRI 矽光子被動元件設備說明
2. TSRI 矽光子實驗室被動元件量測服務說明
3. 光纖與波導耦合量測實作及波導之傳輸損耗 / 耦合

- 損耗 / 元件頻譜特性量測分析。
4. Edge coupler 元件之模場直徑量測實作教學。
  5. 陣列光纖與矽基板之陣列式耦合元件之標準化流程教學。

### 修課條件

無。

### 報名須知

1. 本課程開放學術界及一般人士會員報名。
2. 本課程不接受代理上課。
3. 出席率 ( 以簽到 / 退計算 ) 「全勤」且於期限內完成課後問卷填寫者，本中心將發予「訓練證書」。

### C909 矽光子主動元件與應用系統理論分析與量測教學課程

在本課程中，將帶領學員學習矽光子高速主動調制器元件與收發系統之性能分析方式，並搭配台灣半導體研究中心矽光子高頻主被動量測系統，進行實務操作。課程將討論的矽光子高速調制器元件包含 Mach-Zehnder modulator (MZM)、Ring modulator 和 Electro-absorption modulator(EAM) 等，說明從原理、需求量測分析 (ex. 3-dB、eye、spectrum、操作點等)、實際量測操作、量測結果與設計關聯討論等的教學，也會說明需求的設備架構和規格。另外我們也規劃針對 optical TX/RX 的完整測試進行說明。課程目標將讓學員熟悉矽光子主動調制器元件和系統應用從設計、模擬、性能判定、量測方式與量測結果判讀等各項重點與彼此關聯性，幫助學生能正確將設計進行量測工作，並理解量測的相關知識和執行方式。

#### 課程大綱

##### Modulator

- 1.General introduction of the modulator
- 2.Testing: spectrum vs bias, operation points

3.Optical eye, and 3-dB bandwidth

## Optical TX/RX

1.Bit-error ratio testing

### 修課條件

無。

### 報名須知

1. 本課程開放學術界及一般人士會員報名。
2. 本課程不接受代理上課。
3. 出席率 ( 以簽到 / 退計算 ) 「全勤」且於期限內完成課後問卷填寫者，本中心將發予「訓練證書」。

## C911 Edge AI Realization With MediaTek AI platform

AI 模型訓練通常是在雲端伺服器進行，而訓練好的模型如果部署在邊緣裝置，有反應速度較快、功耗更少等好處。

邊緣裝置有各種平台可選擇，MediaTek 開發的 NeuroPilot 提供了完整的工具及流程。本課程內容將介紹 MediaTek 的 Edge AI 平台方案 -NeuroPilot 技術及案例展示；透過 NeuroPilot 的工具及流程，協助將一個 AI 模型進行最佳化後從雲端放到終端，包括將 AI 模型在不影響效果的前提下進行有效的量化、壓縮、並使用 ANN (Android Neural Network) API 於移動設備端執行 AI 模型。本課程將一步步帶領從概念到實作，讓使用者能將一個雲端的 AI 模型於手機上執行起來，落實 AI 應用的最後一哩路。

### 課程大綱

1. Introduction
2. MTK Machine Learning Kit
  - (1) Overview



- (2) Quantization
- (3) Network Reduction
- (4) Converter
- 3. NeuroPilot SDK
  - (1) Java/Native API Introduction
  - (2) Execute NN Model in Native Environment
  - (3) Develop App With AI Model
- 4. Labs

### 修課條件

- 1. 限學術界會員
- 2. 具有 AI 基本概念，熟悉基本 Python 語法

### 報名須知

- 1. 本課程限學術界會員報名。
- 2. 本課程不接受代理上課。
- 3. 出席率 ( 以簽到 / 退計算 ) 「全勤」且於期限內完成課後問卷填寫者，本中心將發予「訓練證書」。

## C912 矽光子主被動元件系統設計與 軟體使用課程

在本課程中，將以矽光子調制器元件與單通道 100GBaud 光子積體電路進行設計教學。課程使用軟體工具為 Synopsys Photonic Solutions，如 RSoft Photonic Device Tools 與 OptSim Circuit；RF 模擬軟體使用 Advanced design system、Sonnet；部分設計使用 Matlab。

### 課程大綱

Modulator introduction  
Spectrum vs bias simulation  
Modulator equivalent circuit model and small-signal modeling  
Modulator electrode design and EM simulation  
Schematic design in OptSim Circuit  
Simulations in OptSim Circuit

### 課程使用軟體：

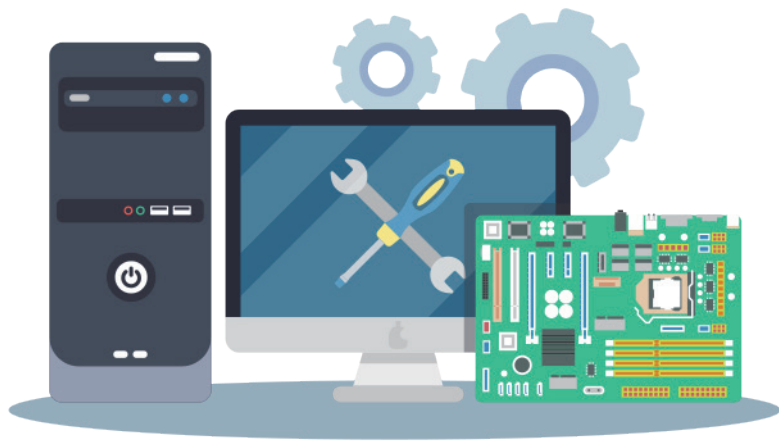
– RSoft CAD、FullWAVE、BeamPROP、OptSim、OptSim Circuit、Advanced design system、Sonnet、Matlab

## 修課條件

無。

## 報名須知

1. 本課程開放學術界及一般人士會員報名。
2. 本課程不接受代理上課。
3. 出席率 (以簽到 / 退計算) 「全勤」且於期限內完成課後問卷填寫者，本中心將發予「訓練證書」。



### C913 矽光子下線 -IMEC PDK 使用、 佈局、DRC 與軟體環境建置教學課程

IMEC 近期已經針對 iSiPP50G 製程進行改版，新版 PDK 為 iSiPP50G\_3.4.0，本課程將教導學員實際於 iSiPP50G\_3.4.0 下線時需具備的軟體環境建置、設計知識、佈局技巧、PDK 內容理解、design rule checking 等能力。同時我們會在課程中說明 IMEC iSiPP50G\_3.4.0 的元件結構和特性、製程狀態、改版內容，課程目標希望用戶能藉由此堂課程的參與，順利將設計於 iSiPP50G\_3.4.0 新製程環境中製作。

#### 課程大綱

##### Day1 :

1. IMEC iSiPP50G\_3.4.0 下線流程與下線申請說明。
2. IMEC iSiPP50G\_3.4.0 PDK 和 IMEC 晶片製作環境說明。
3. 下線必須使用軟體說明與軟體安裝教學 ( 包含 DRC、設計、模擬與佈局軟體和軟體間連結設定 )。
4. IMEC iSiPP50G\_3.4.0 PDK 於軟體中使用教學。

## Day2 :

1. 被動設計案例使用 IMEC iSiPP50G\_3.4.0 下線實作。
2. 主動設計案例使用 IMEC iSiPP50G\_3.4.0 下線實作。

## 課程使用軟體：

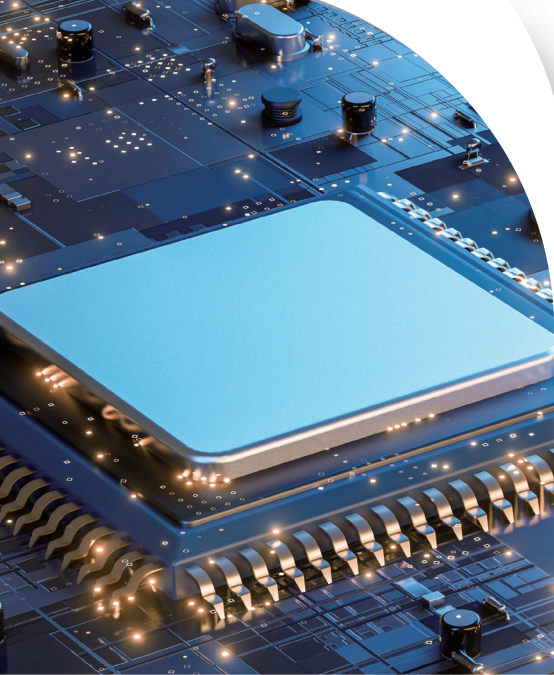
– RSoft CAD、FullWAVE、BeamPROP、OptSim、  
OptSim Circuit、OptoCompiler、L-Edit Photonics、  
Calibre

## 修課條件

限學術界會員

## 報名須知

1. 本課程限學術界會員報名。
2. 本課報名學員，會由 TSRI 於上課前協助完成 IMEC NDA 申請。
3. 本課程不接受代理上課。
4. 出席率 ( 以簽到 / 退計算 ) 「全勤」且於期限內完成課後問卷填寫者，本中心將發予「訓練證書」。



**NAR Labs** 國家實驗研究院  
**台灣半導體研究中心**  
Taiwan Semiconductor Research Institute

